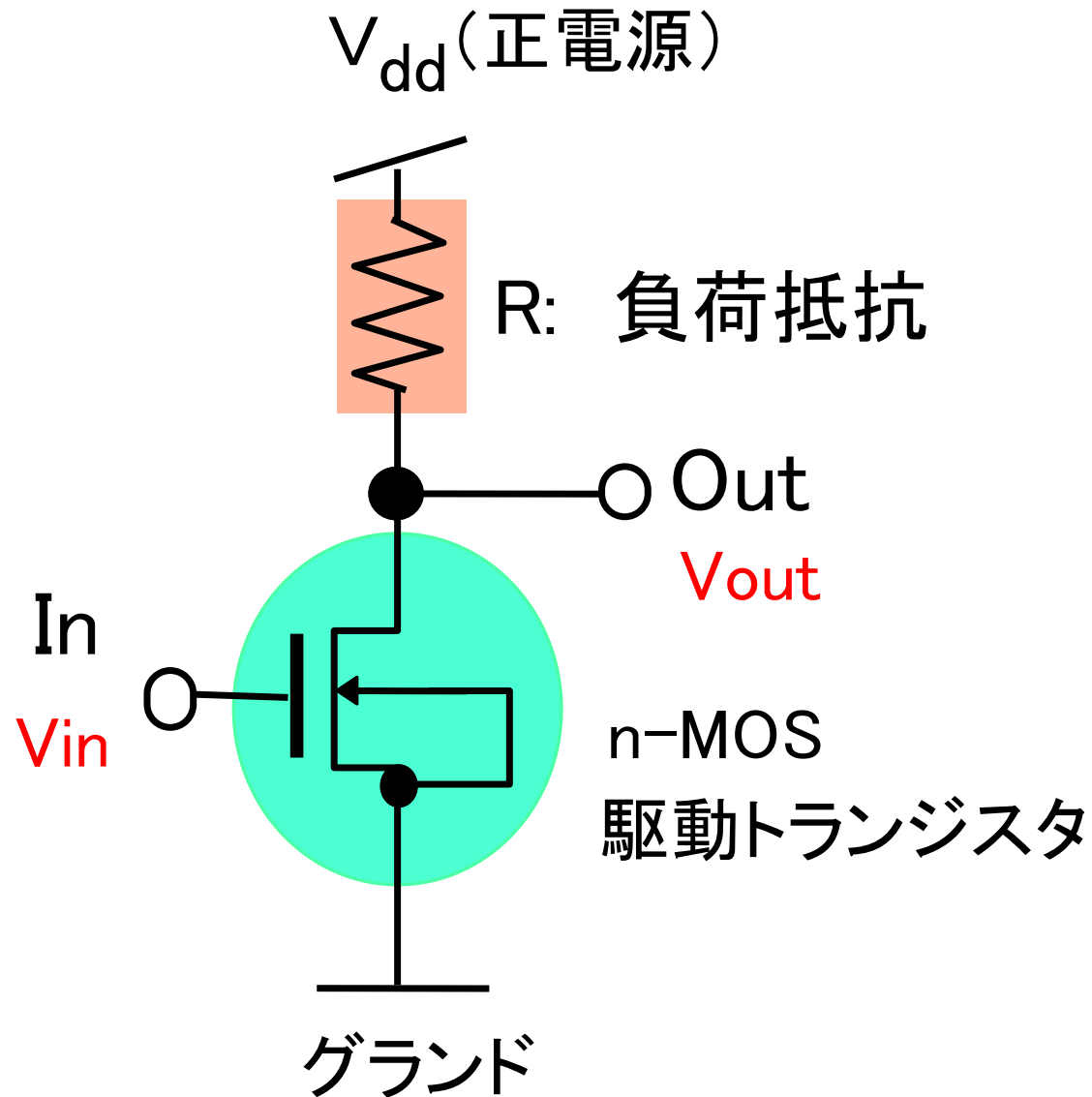


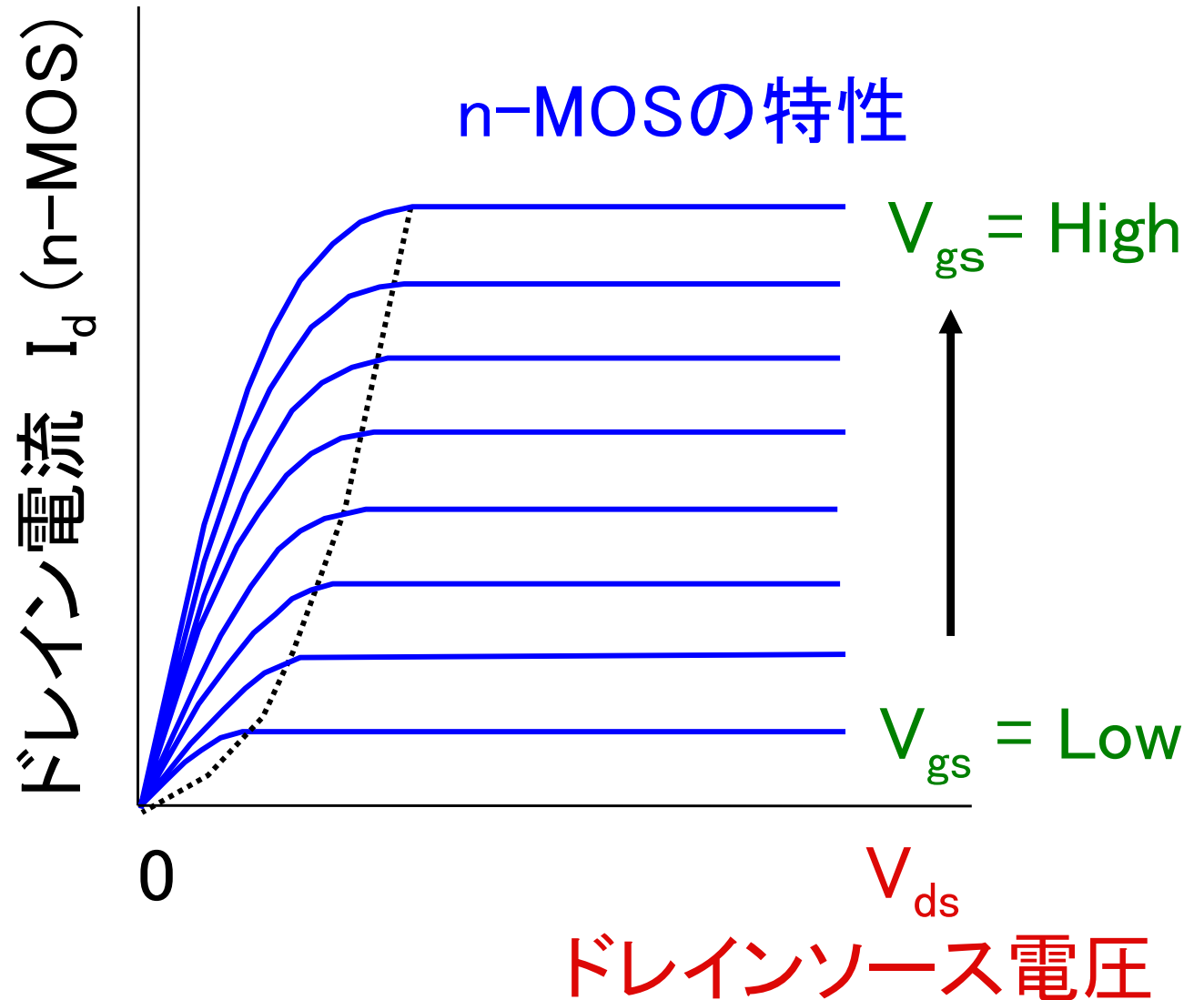
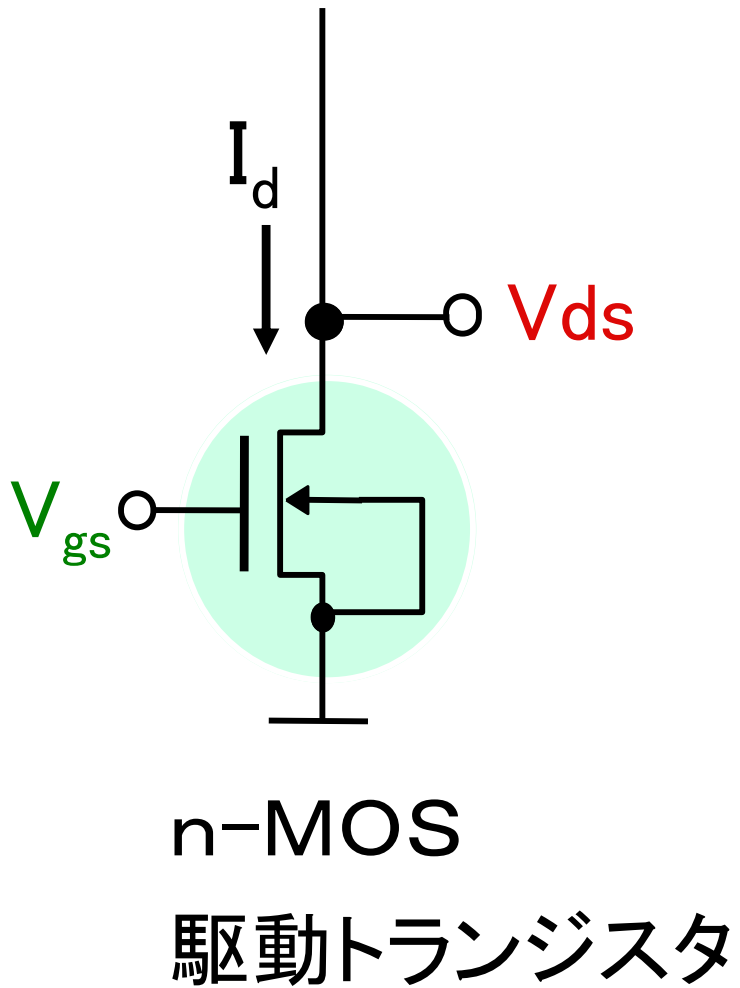
第4章 CMOS論理回路

(1) CMOSインバータ

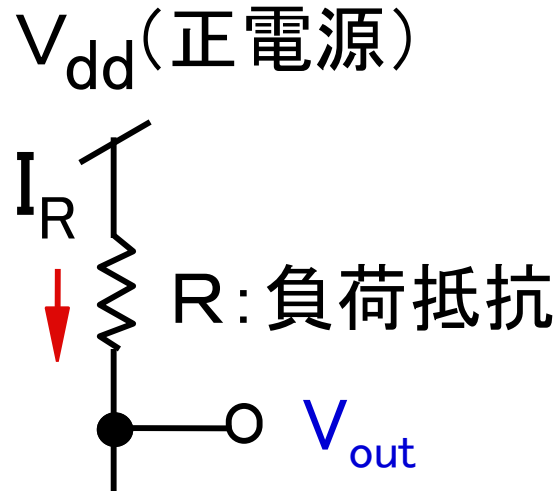
抵抗負荷のインバータ



抵抗負荷のインバータ

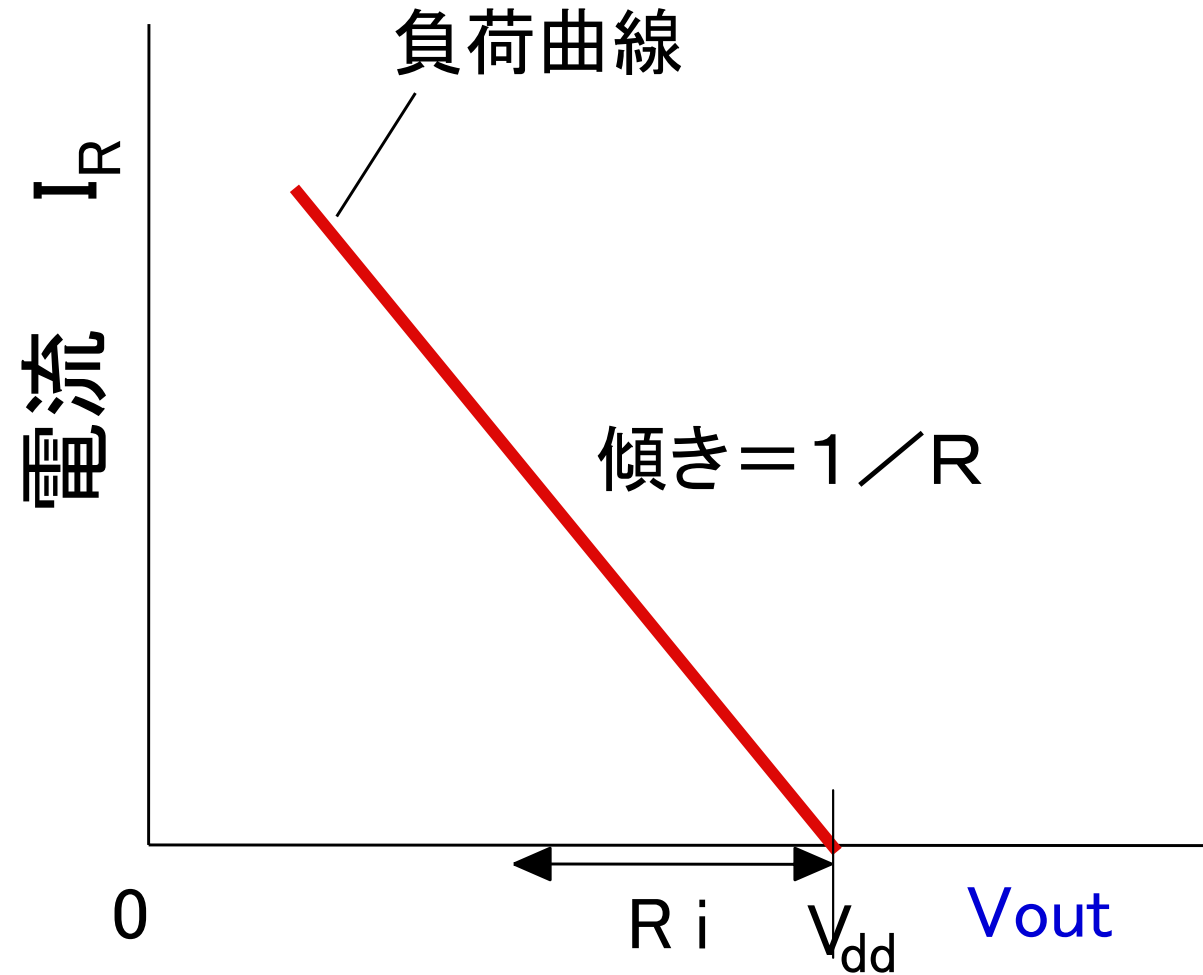


抵抗負荷の特性



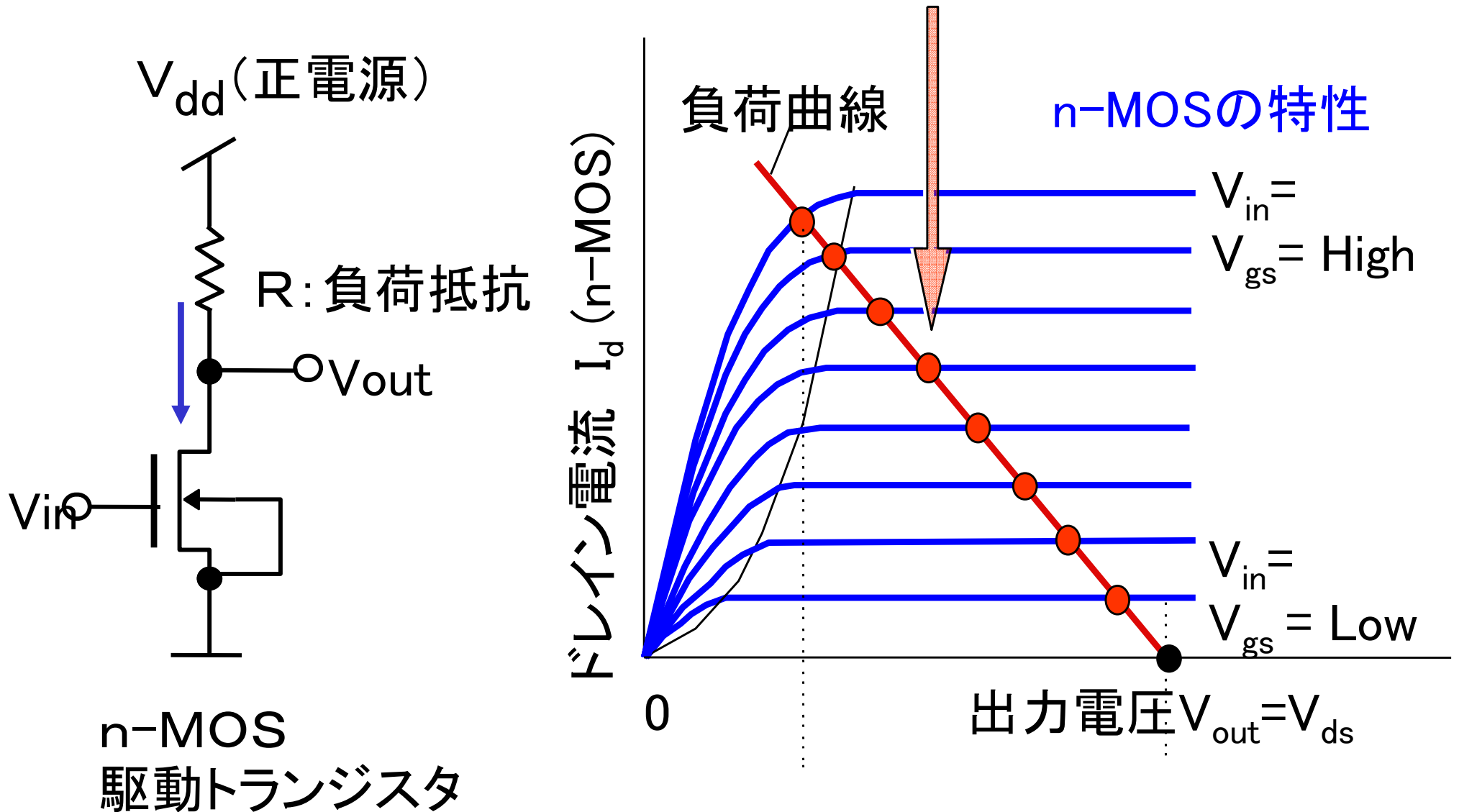
$$V_{out} = V_{dd} - R \cdot i$$

オームの法則



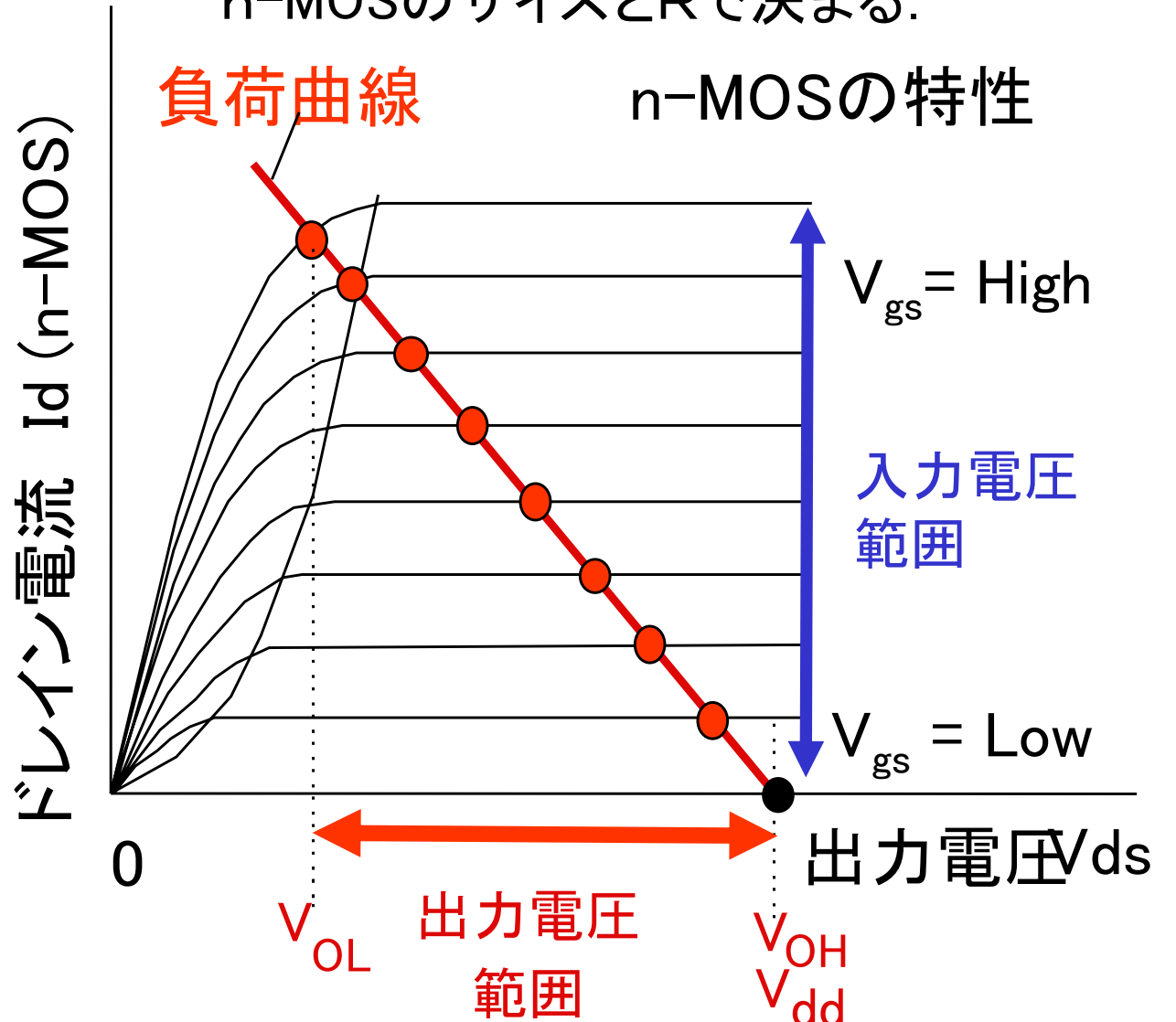
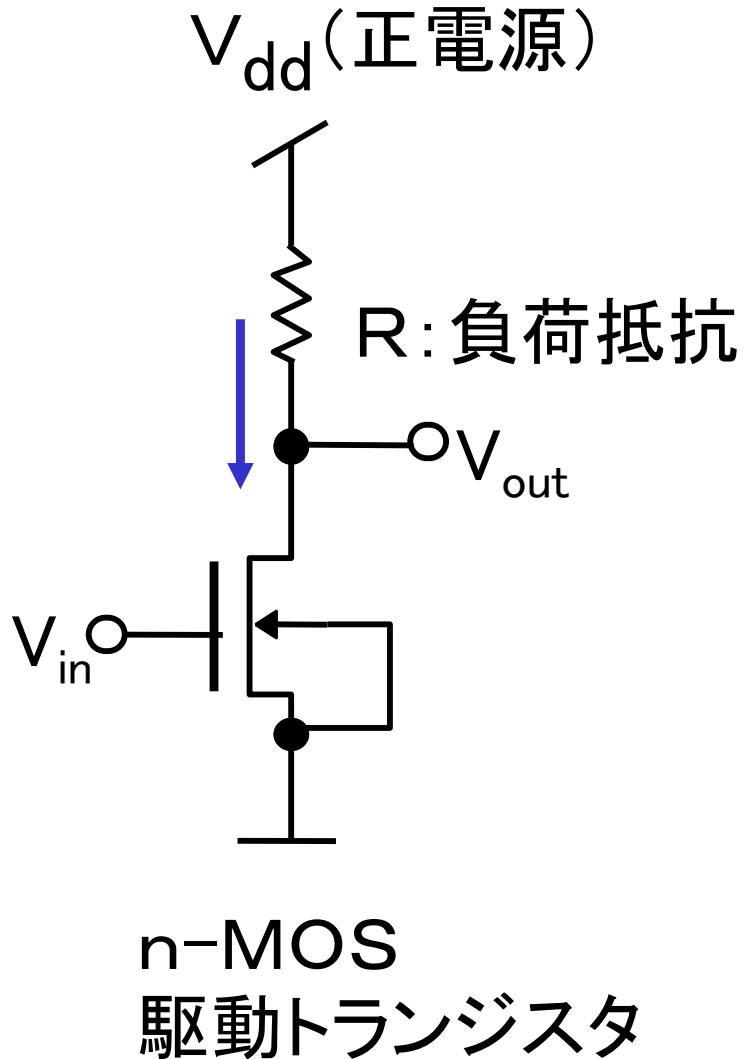
抵抗負荷のインバータ

n-MOSとRを流れる電流は等しいので両者の交点で決まる

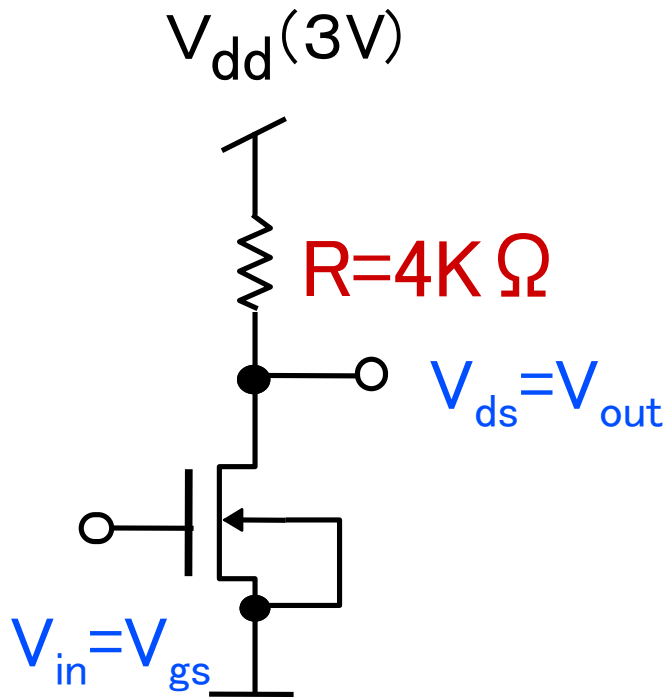


抵抗負荷のインバータ

V_{OL} は0Vにはならない。
n-MOSのサイズとRで決まる。

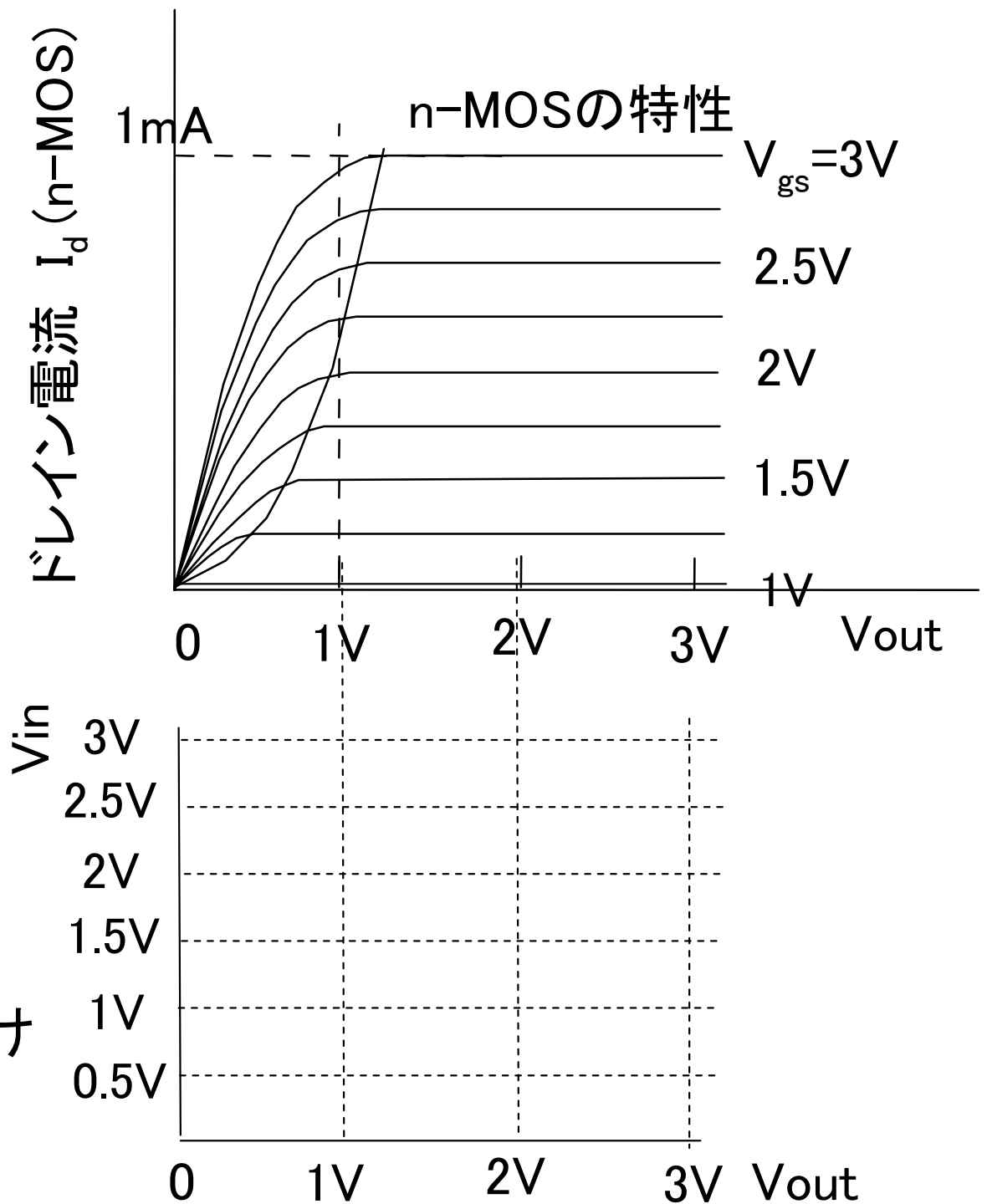


演習問題解答

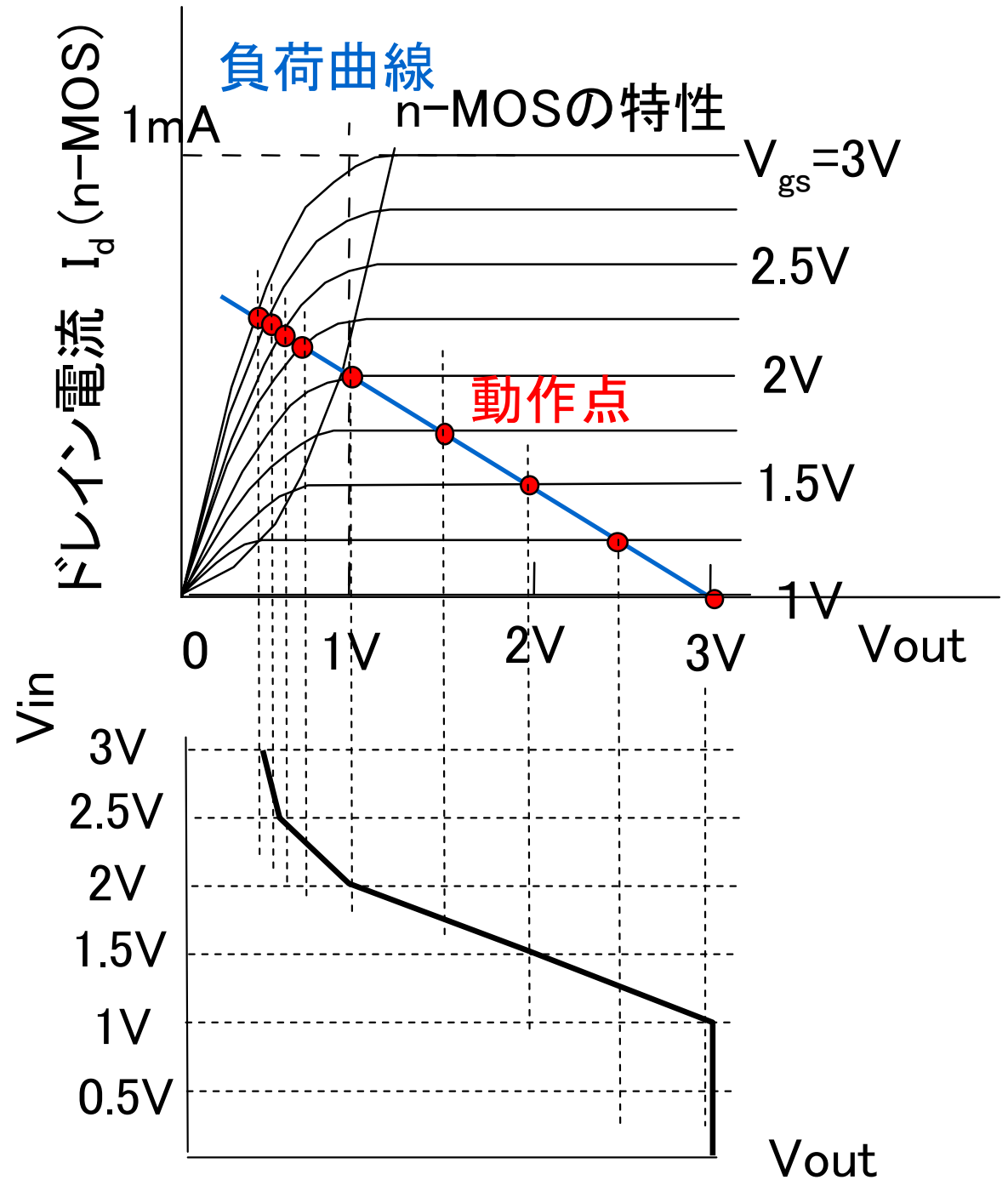
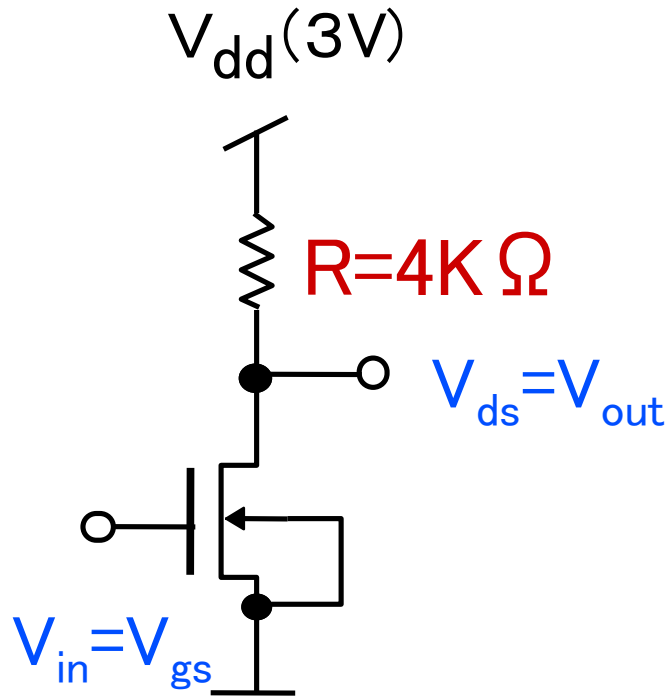


負荷抵抗 $R=4k\Omega$ の場合
負荷曲線を書け

各入力に対する動作点を書け
入力電圧対し出力電圧を
図示せよ。



演習問題解答

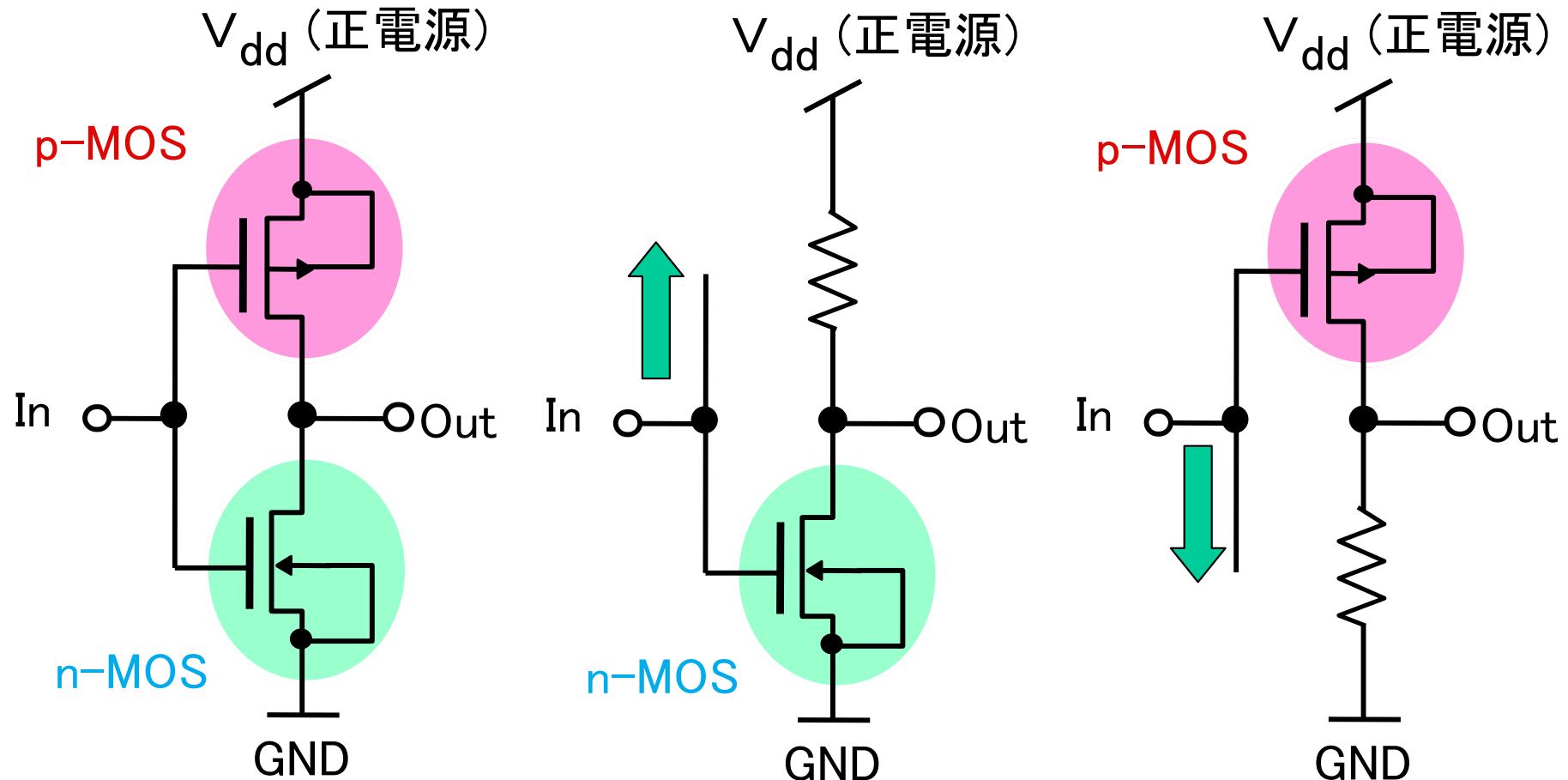


CMOSインバータ

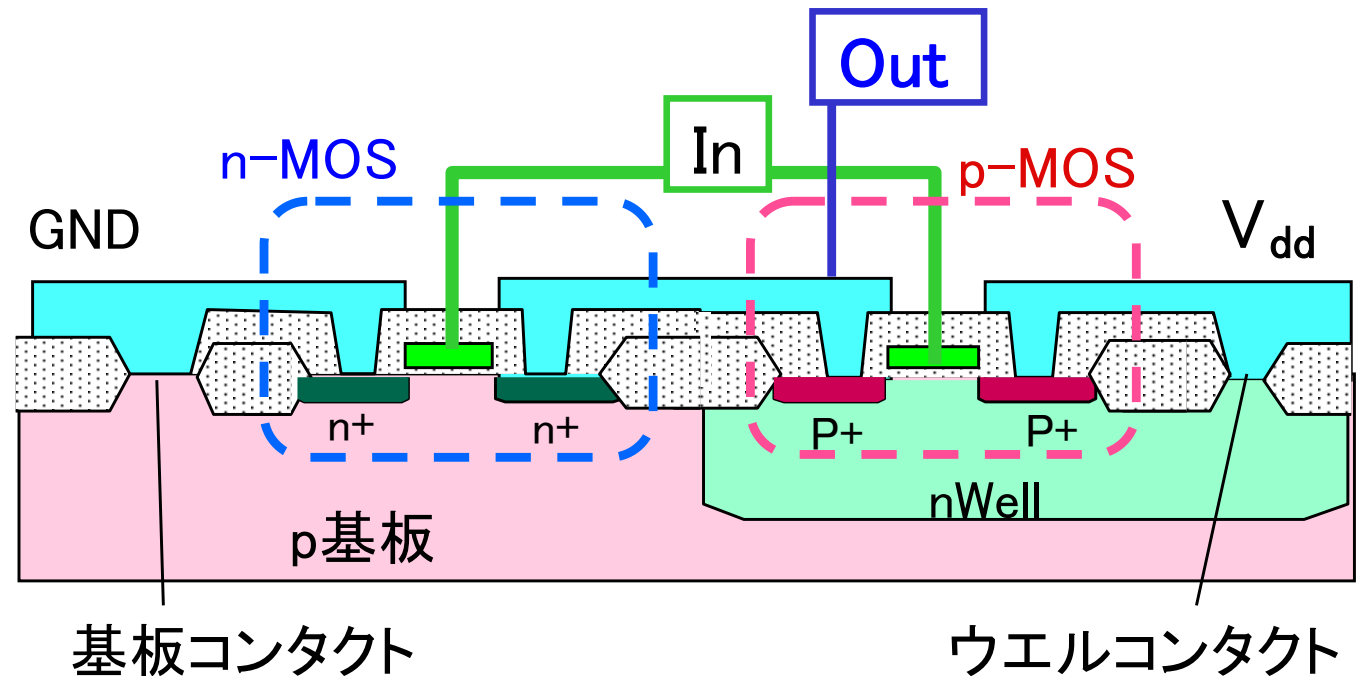
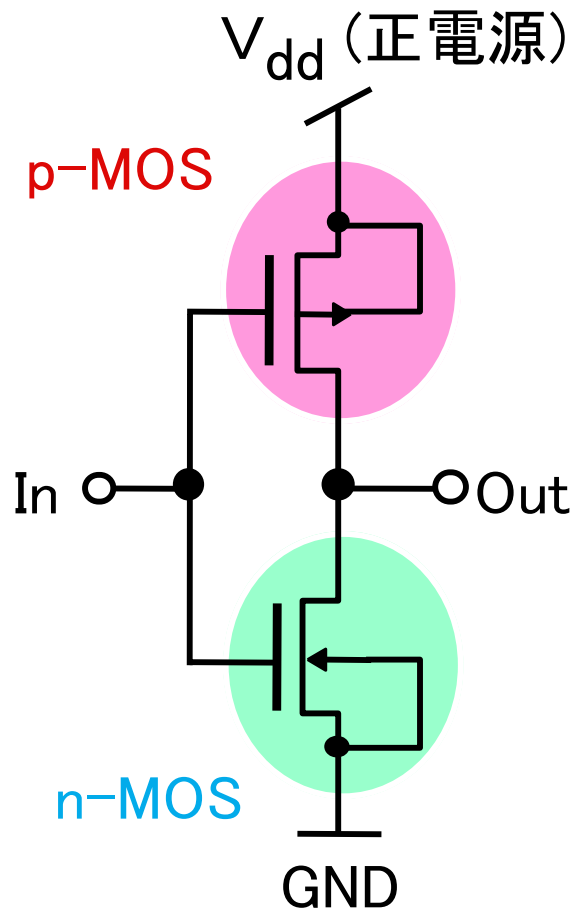
負荷抵抗をpMOSにかえる. pMOSのゲートも入力に接続する

入力電圧ハイ: nMOSを駆動素子, pMOSが負荷抵抗

入力電圧ロー: pMOSを駆動素子, nMOSが負荷抵抗



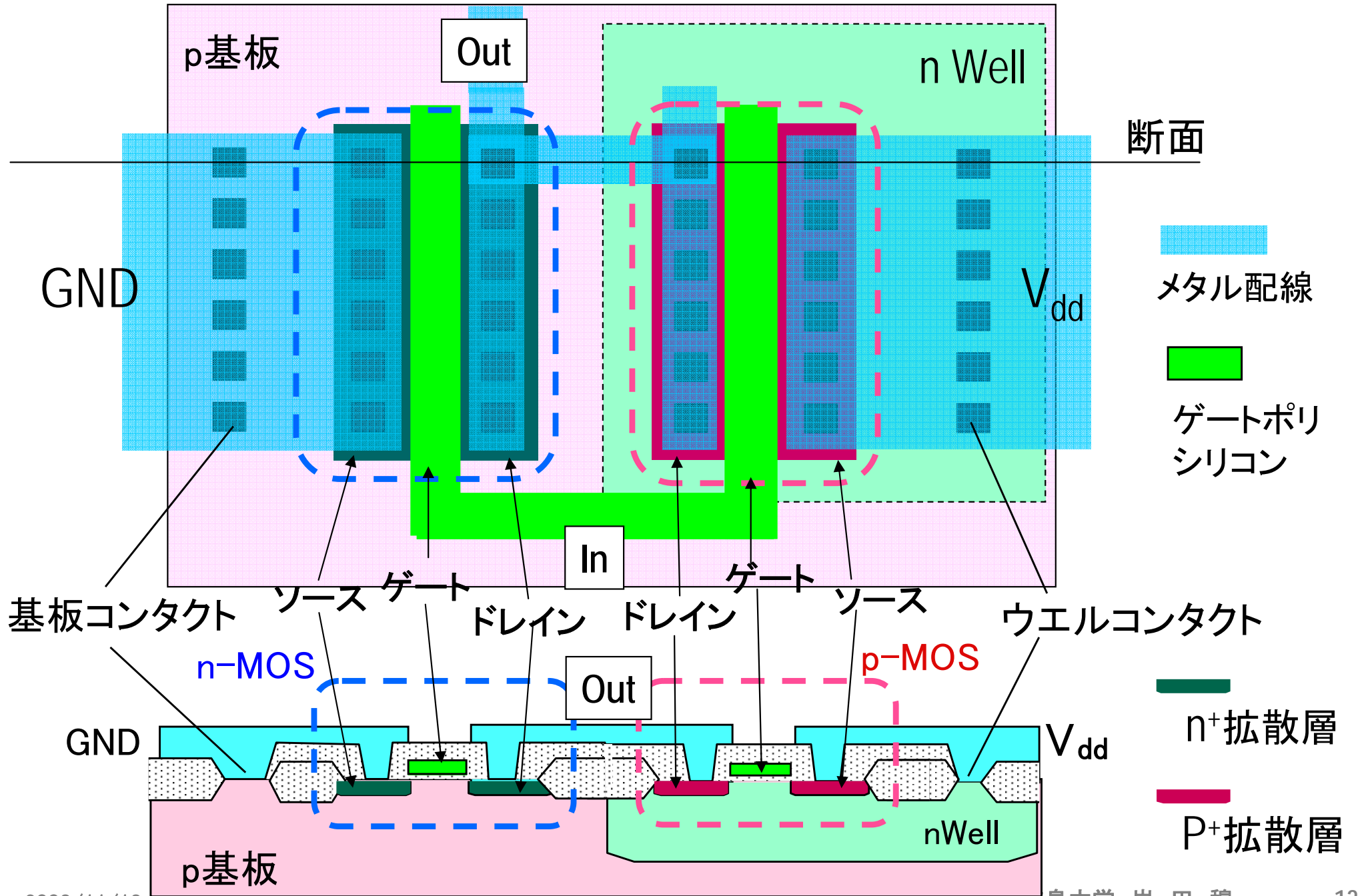
CMOSインバータの断面構造



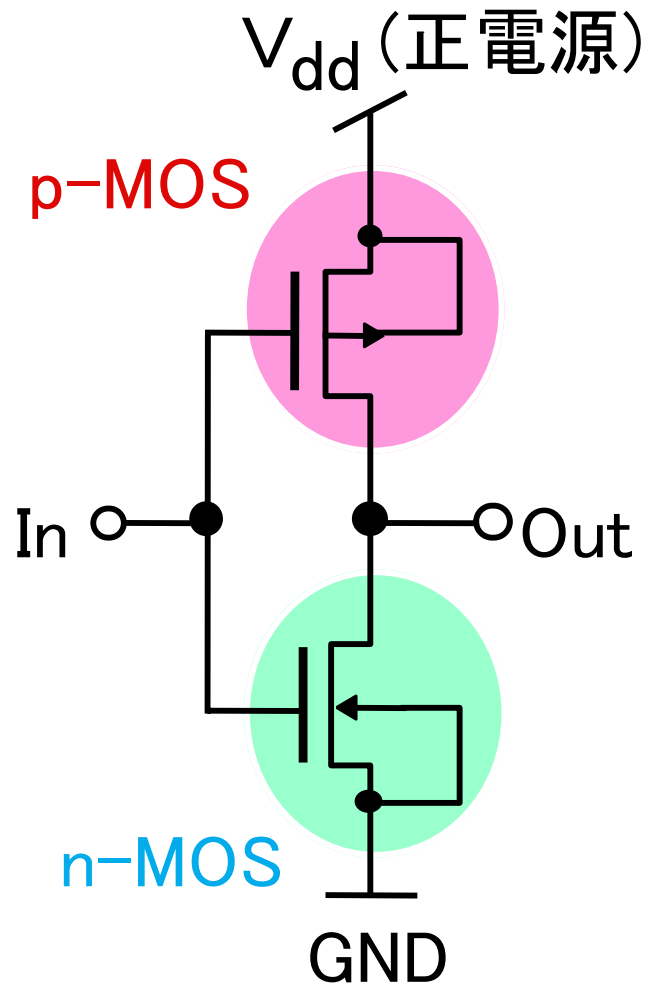
p基板はGND(0V)に接続, ウエルは V_{dd} に接続

ソース基板電圧(V_{sb})がかからないようにする.

CMOSインバータのパターンレイアウト



CMOSインバータの入出力特性

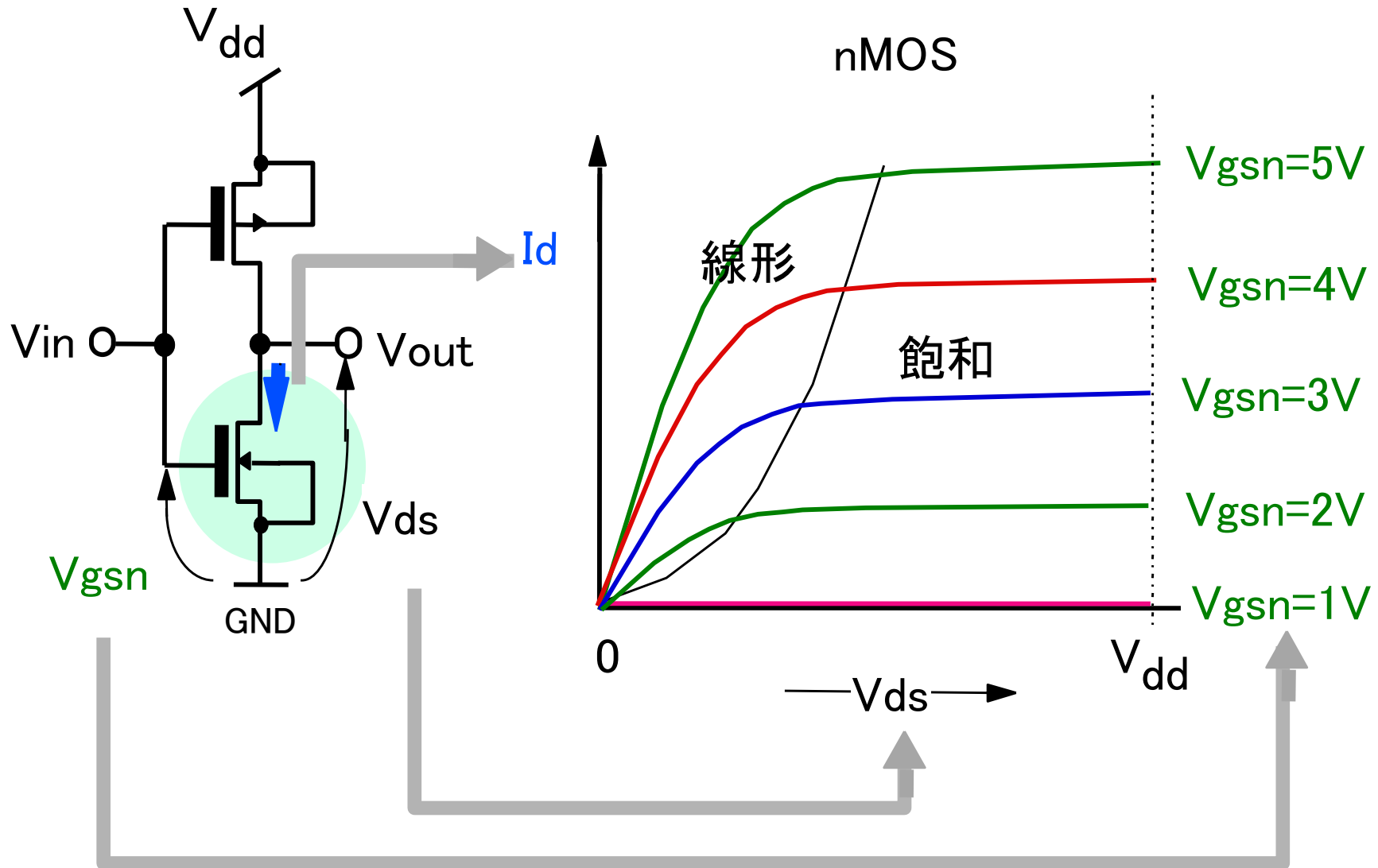


入力 $In = 0$ の時 出力 $Out = V_{dd}$
Low, "0" High, "1"

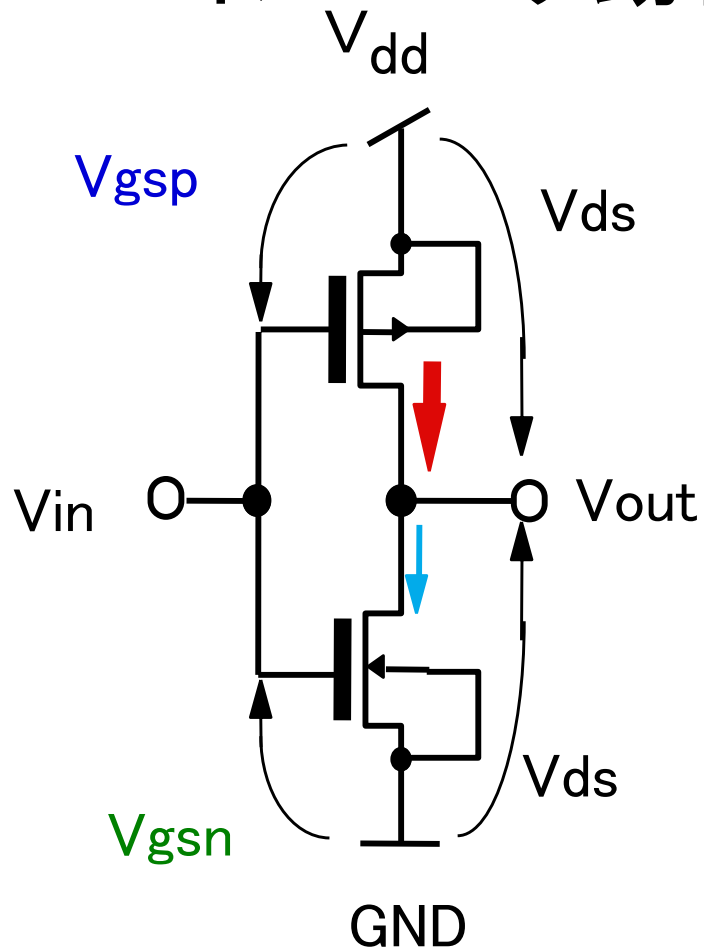
入力 $In = V_{dd}$ の時 出力 $Out = 0$
High, "1" Low, "0"

出力は0から V_{dd} まで変化する。

CMOSインバータの直流動作

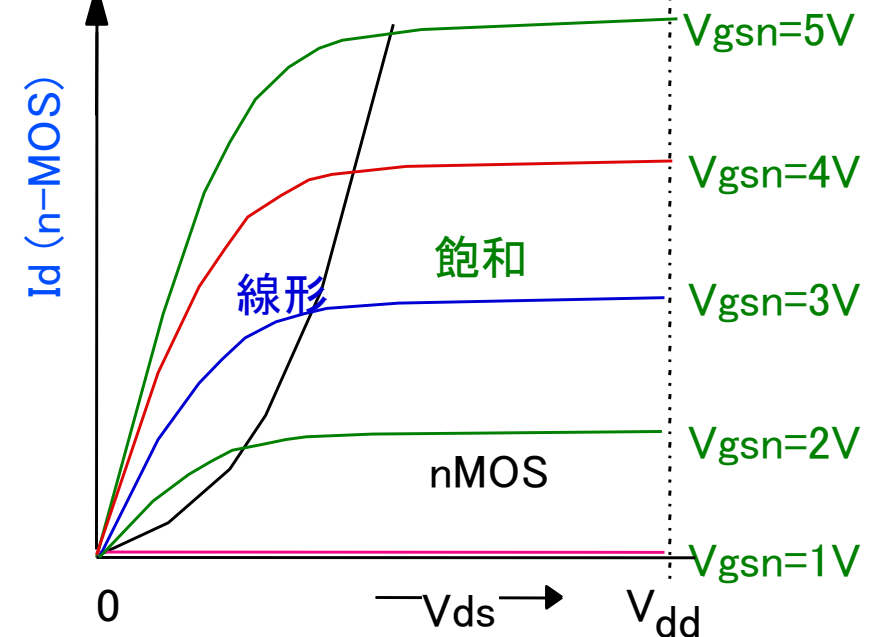
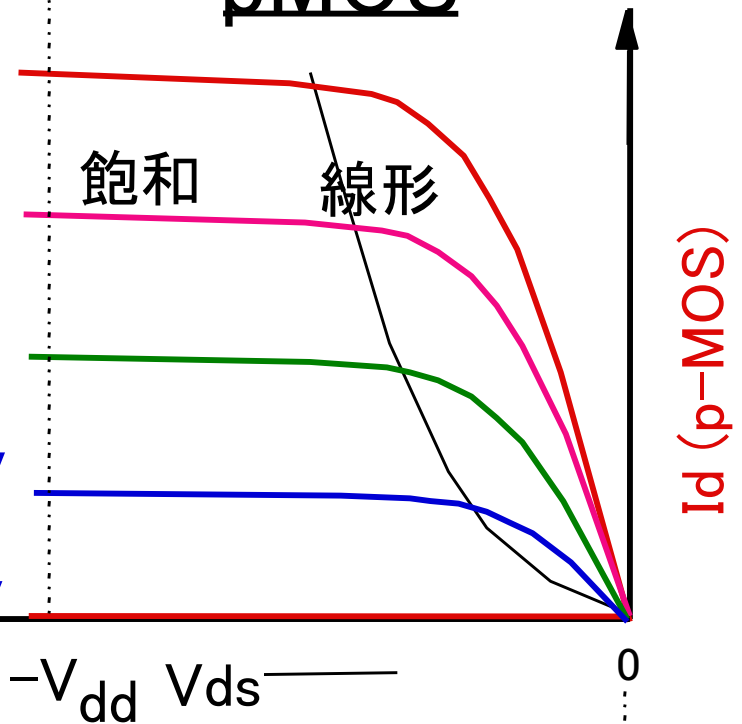


CMOSインバータ動作



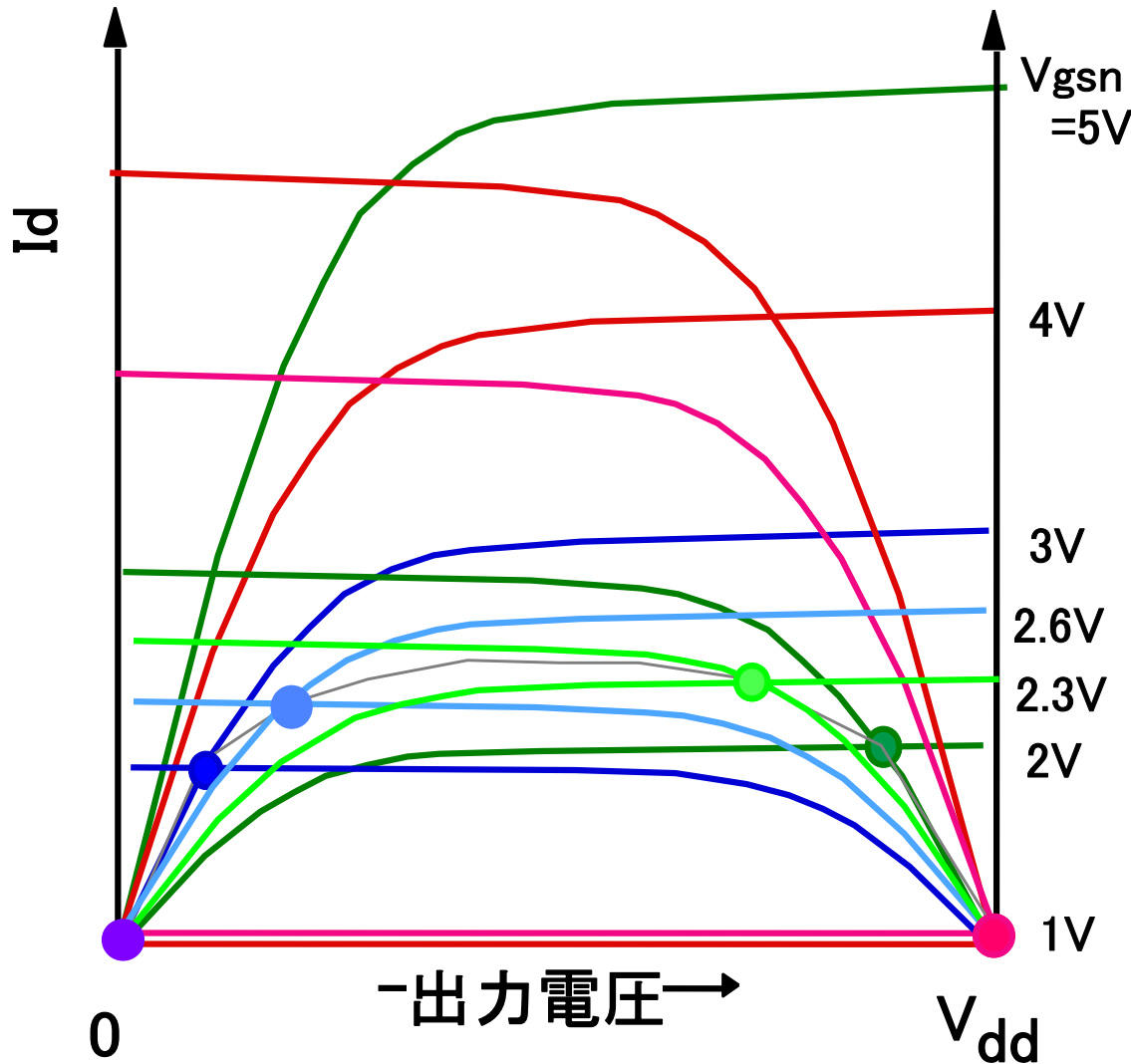
- $V_{gsp} = -5V$
- $V_{gsn} = 0V$
- $V_{gsp} = -4V$
- $V_{gsn} = 1V$
- $V_{gsp} = -3V$
- $V_{gsn} = 2V$
- $V_{gsp} = -2V$
- $V_{gsn} = 3V$
- $V_{gsp} = -1V$
- $V_{gsn} = 4V$

pMOS



nMOSの V_{gs} は $V_{gsn} = V_{in}$,
 pMOSの V_{gs} は $V_{gsp} = V_{in} - V_{dd}$ 負の値

CMOSインバータの直流入出力特性

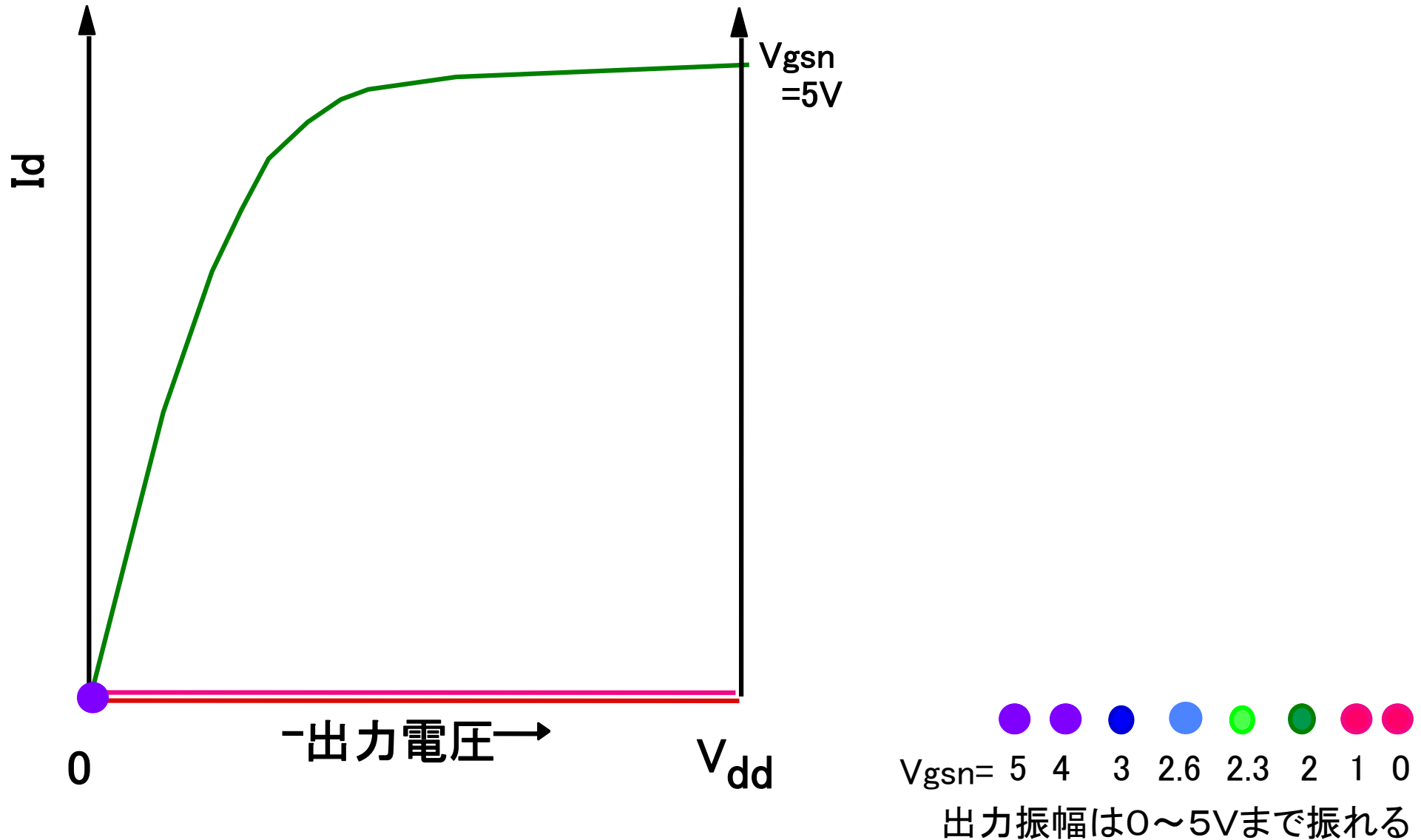


pMOSとnMOSの
 特性を重ねる
 一方がドライバーで
 他方が負荷
 pMOSとnMOSの電流は
 等しいので、回路電流は
 ゲート電圧の等しい
 曲線の交点できまる。
 入力電圧の変化によって
 電流と出力電圧が変化

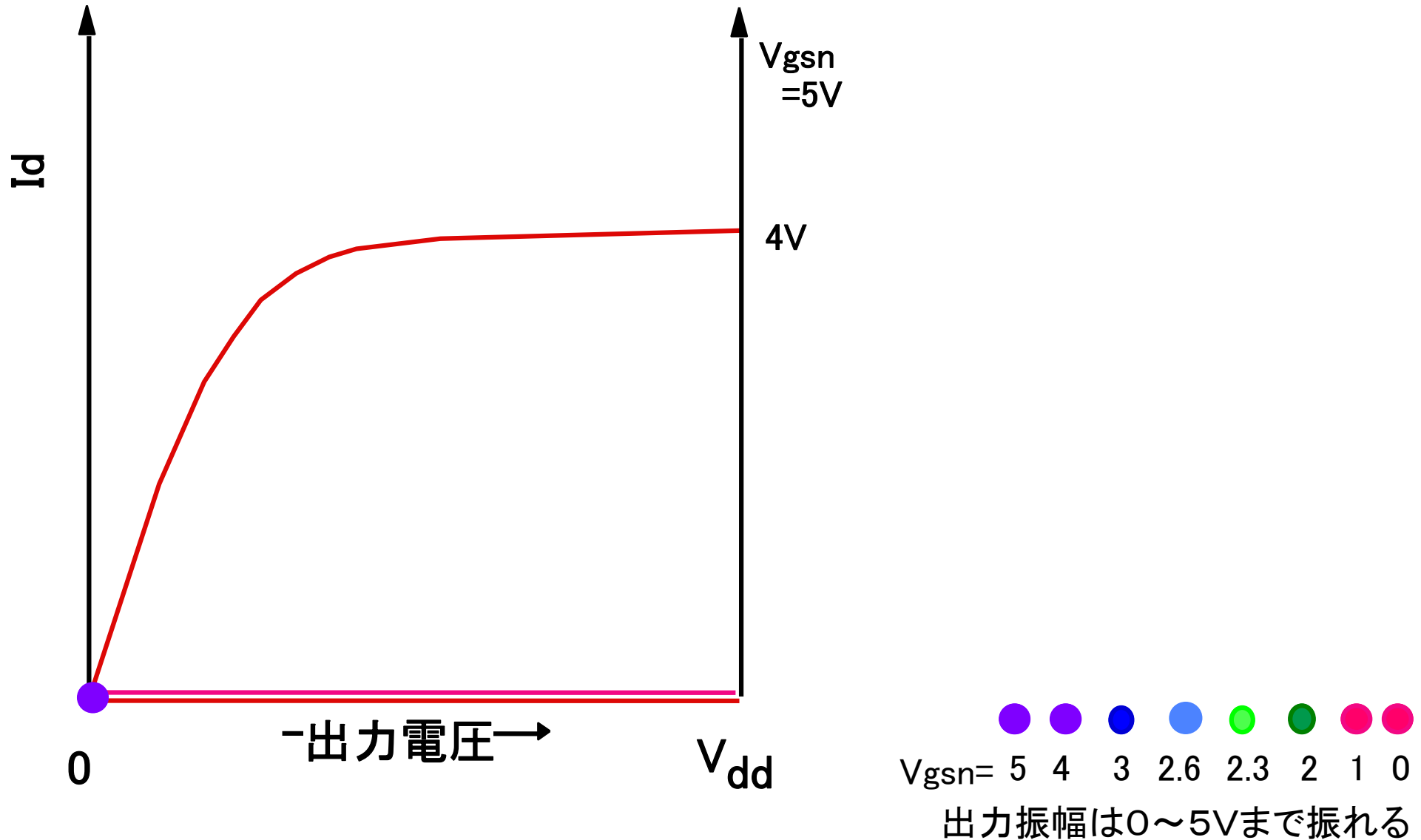
● ● ● ● ● ● ● ●
 Vgsn= 5 4 3 2.6 2.3 2 1 0

出力振幅は0~5Vまで振れる

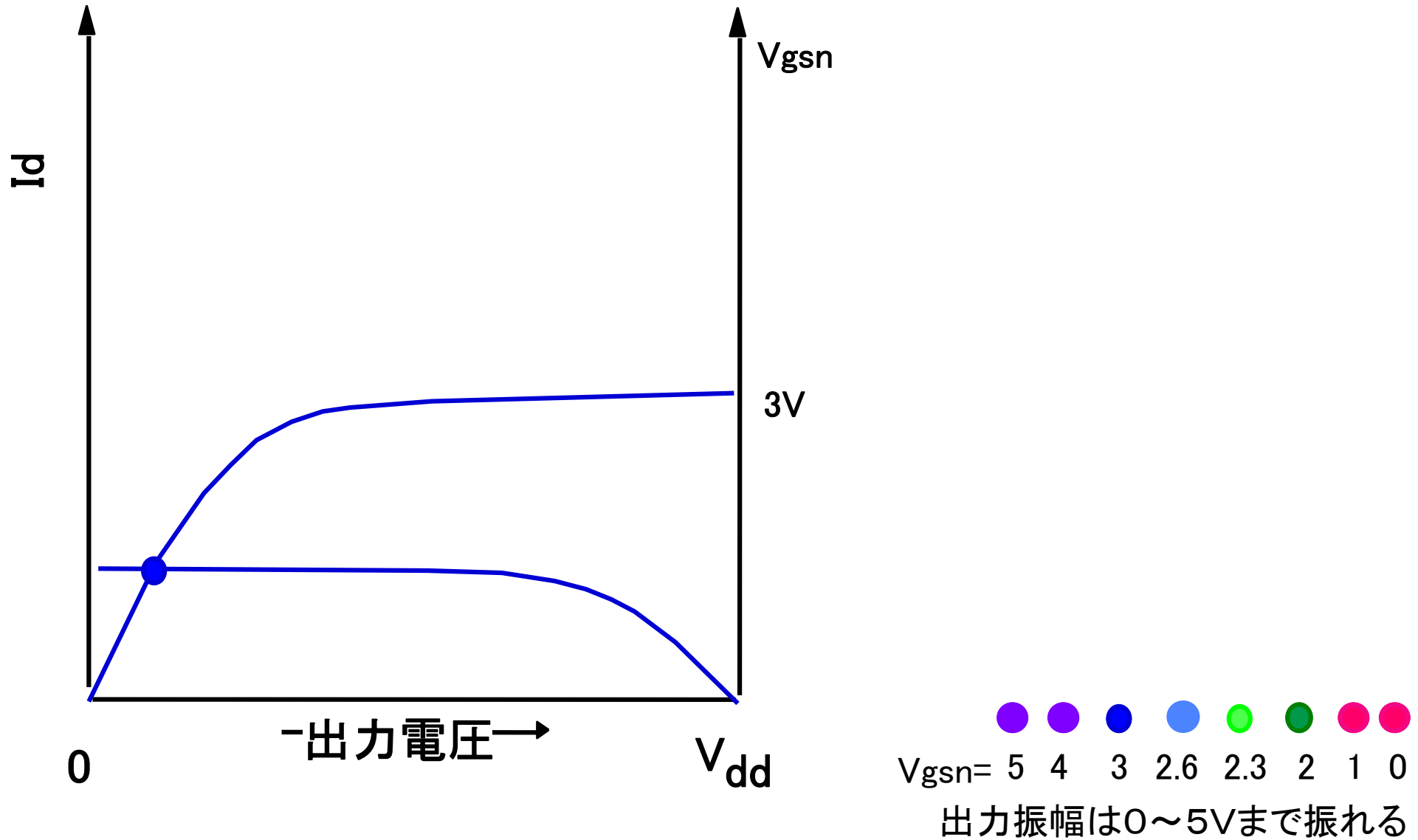
CMOSインバータの直流入出力特性



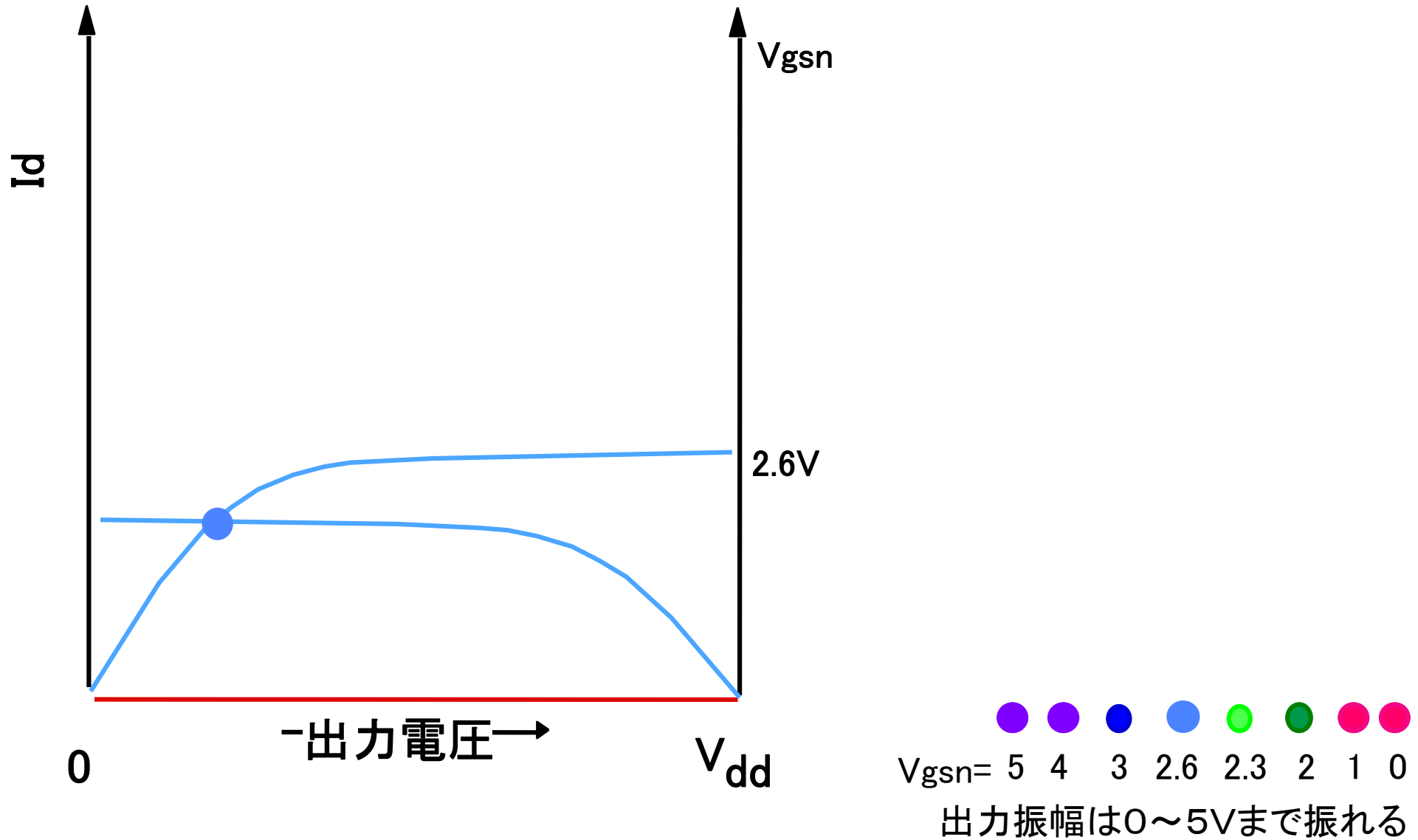
CMOSインバータの直流入出力特性



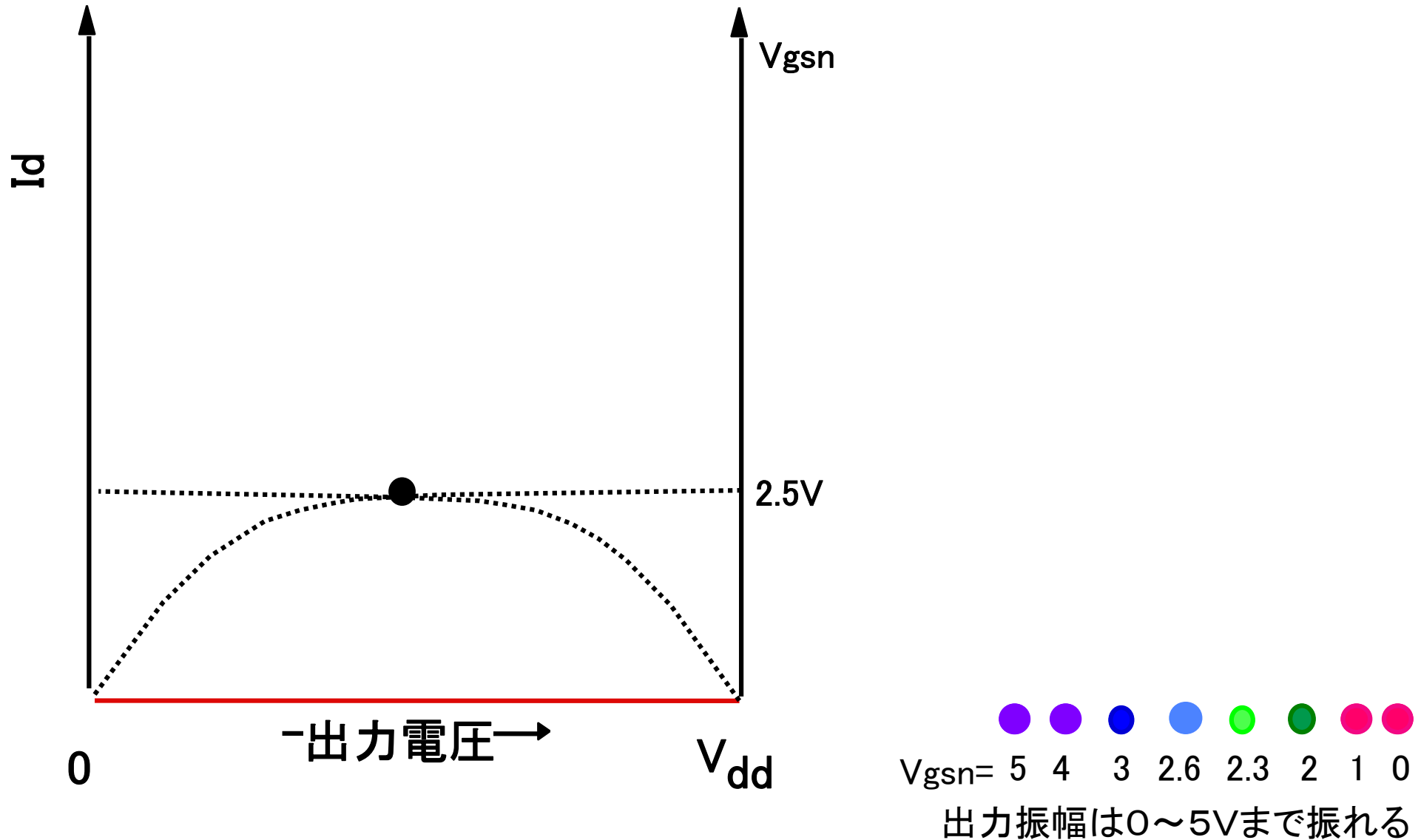
CMOSインバータの直流入出力特性



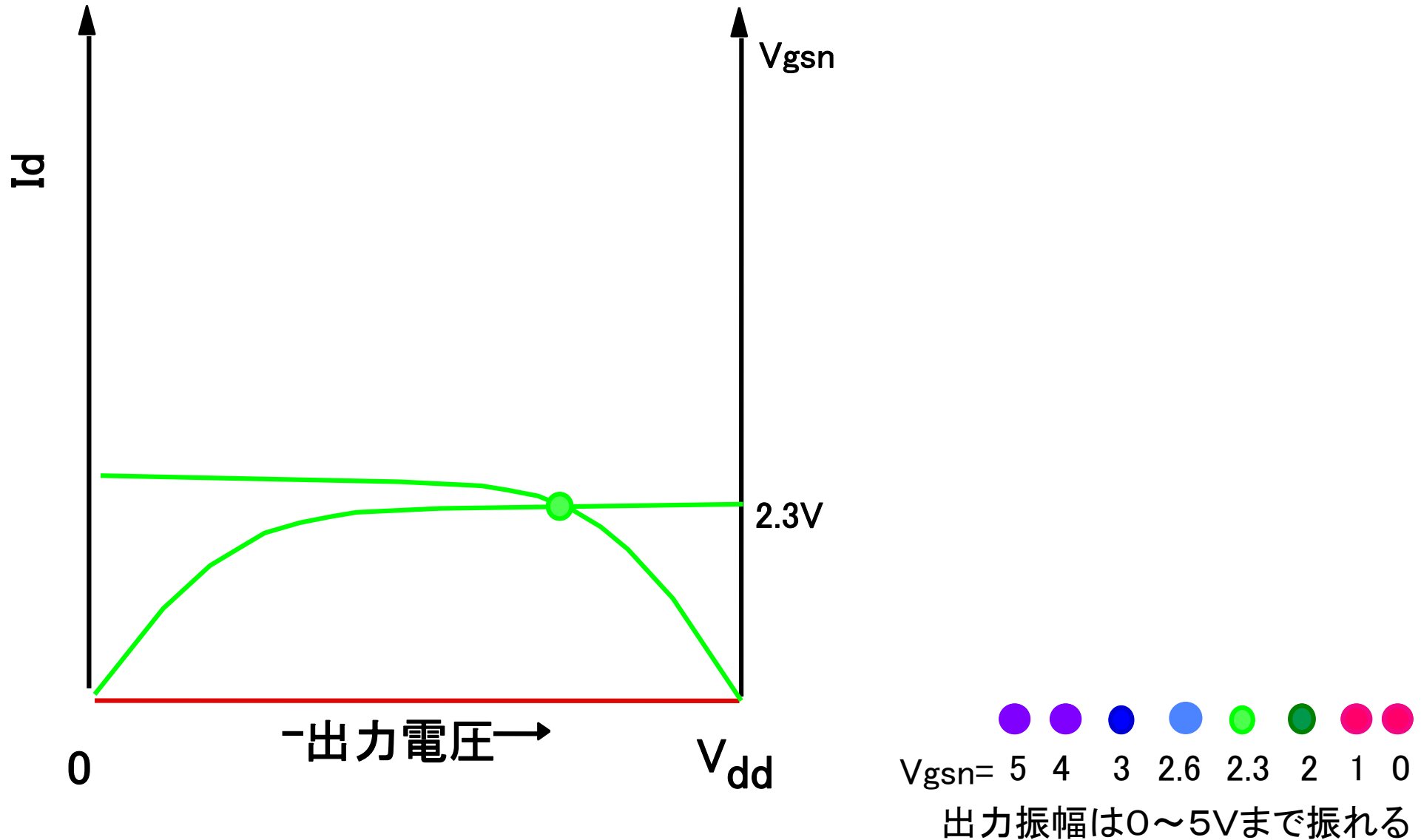
CMOSインバータの直流入出力特性



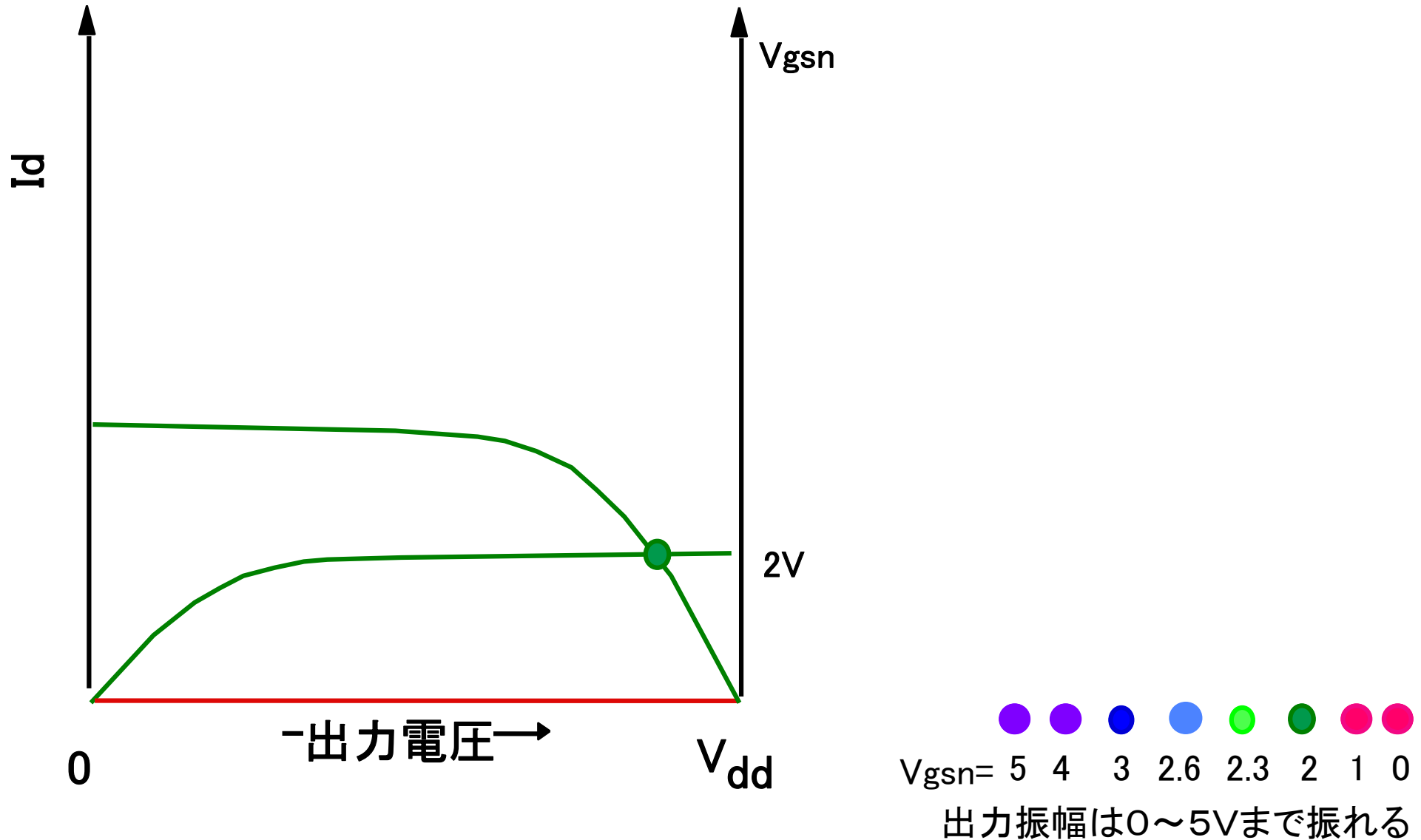
CMOSインバータの直流入出力特性



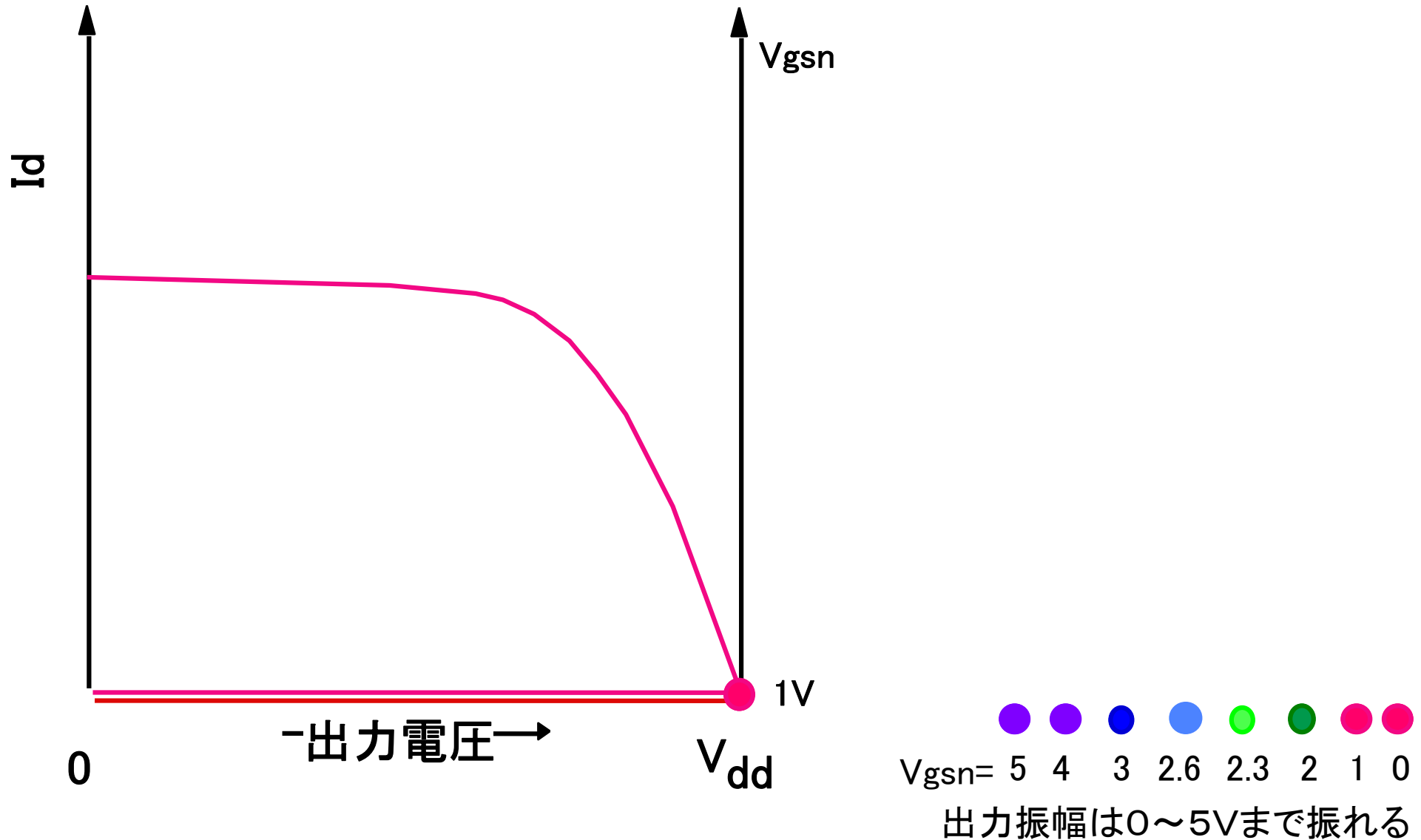
CMOSインバータの直流入出力特性



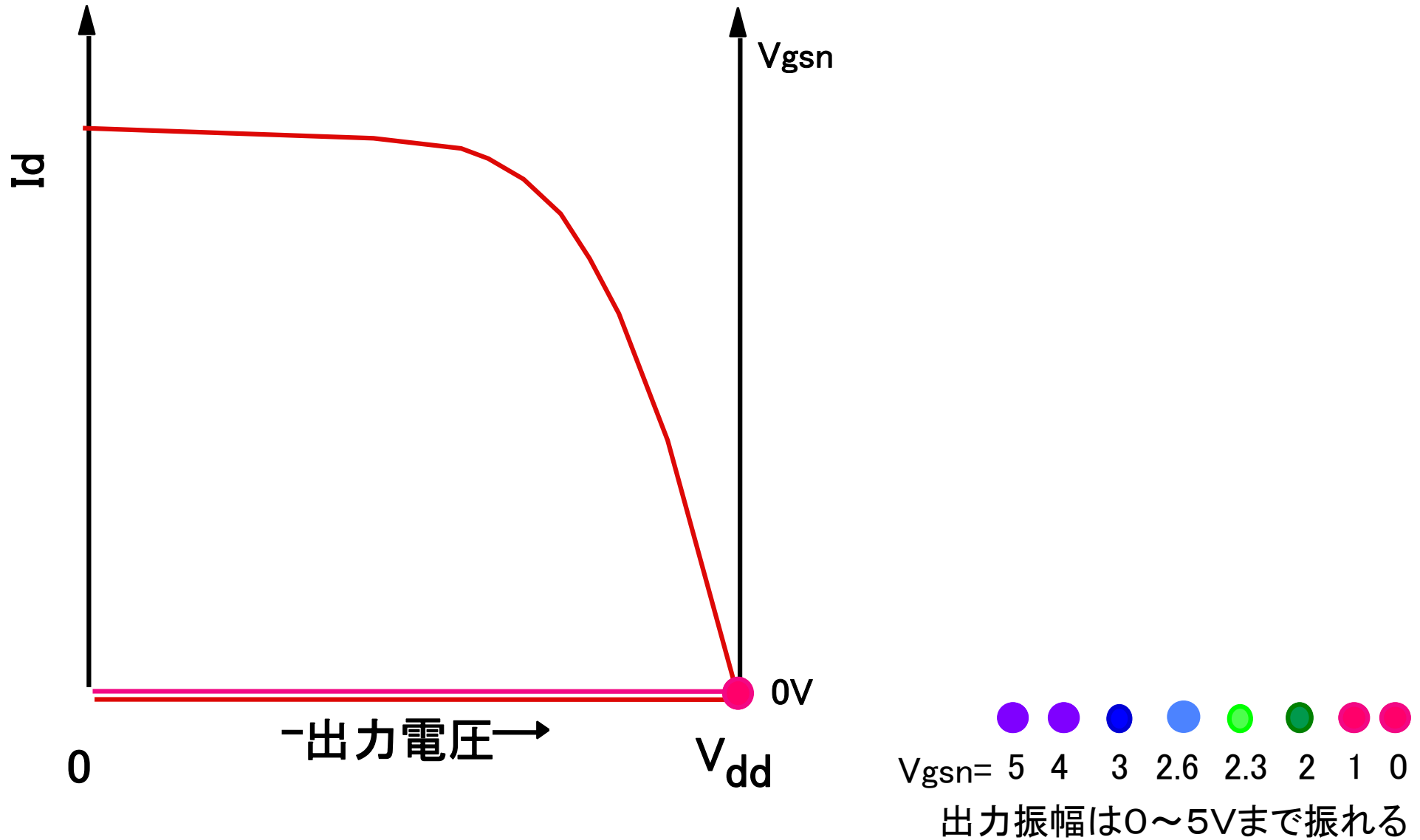
CMOSインバータの直流入出力特性



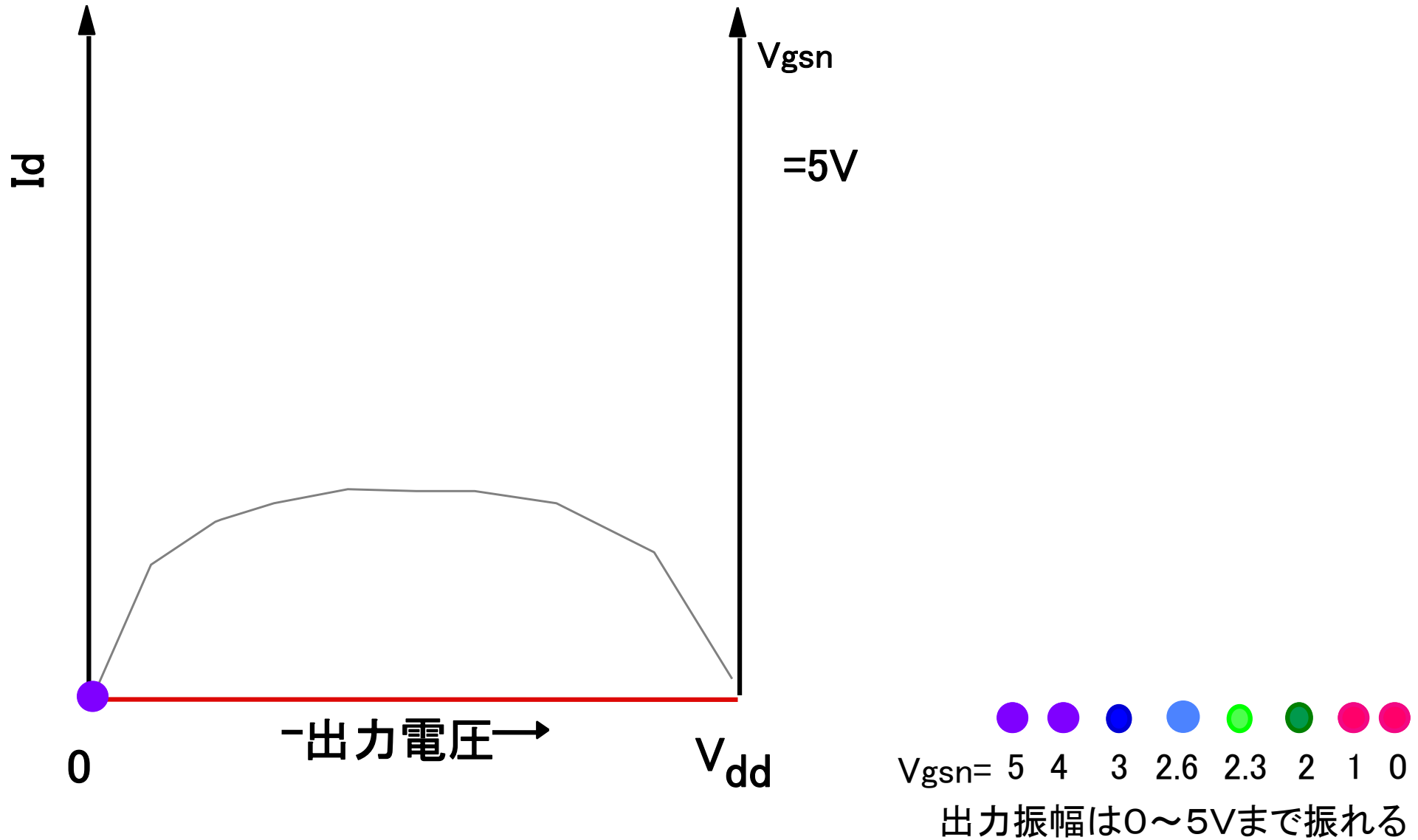
CMOSインバータの直流入出力特性



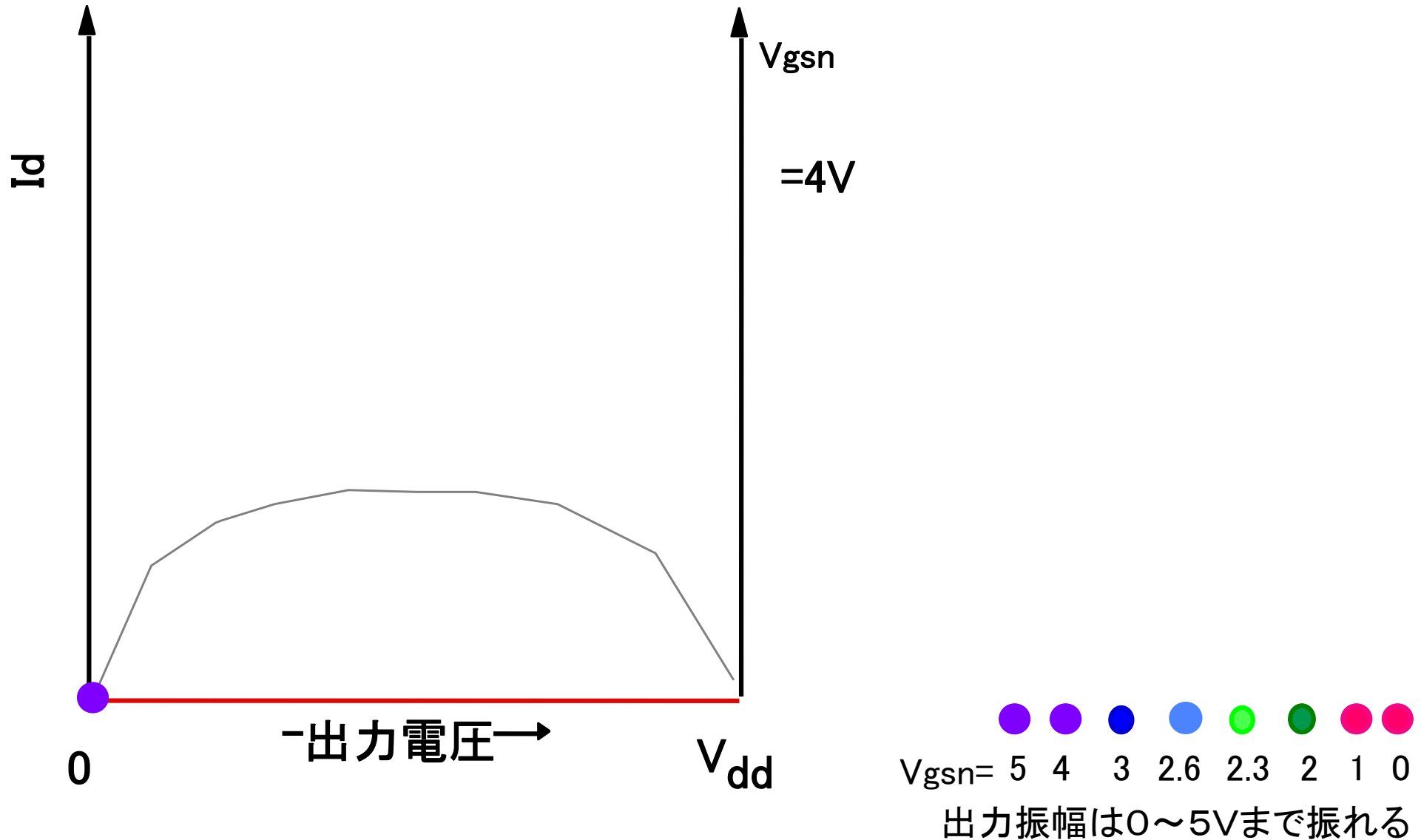
CMOSインバータの直流入出力特性



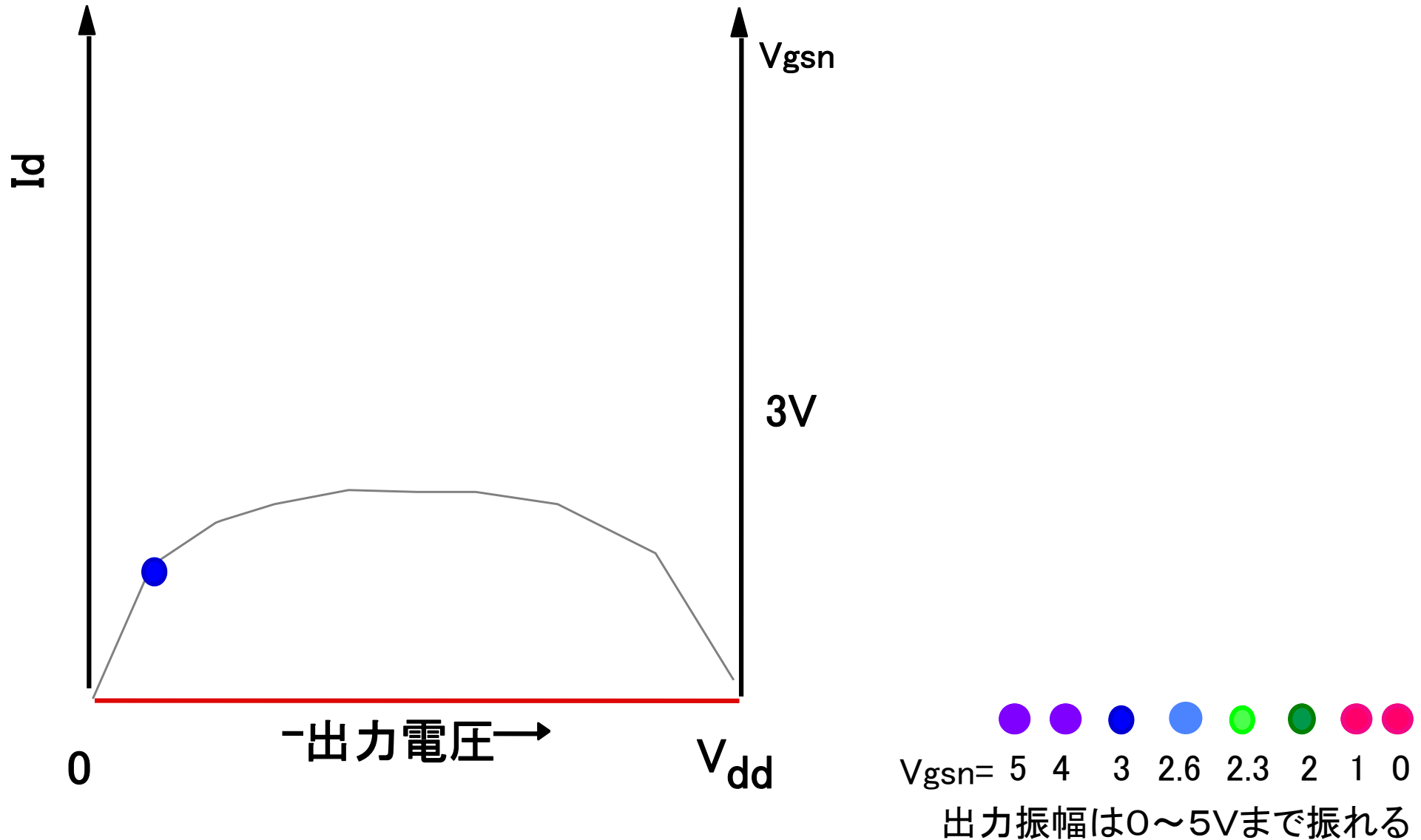
CMOSインバータの直流入出力特性



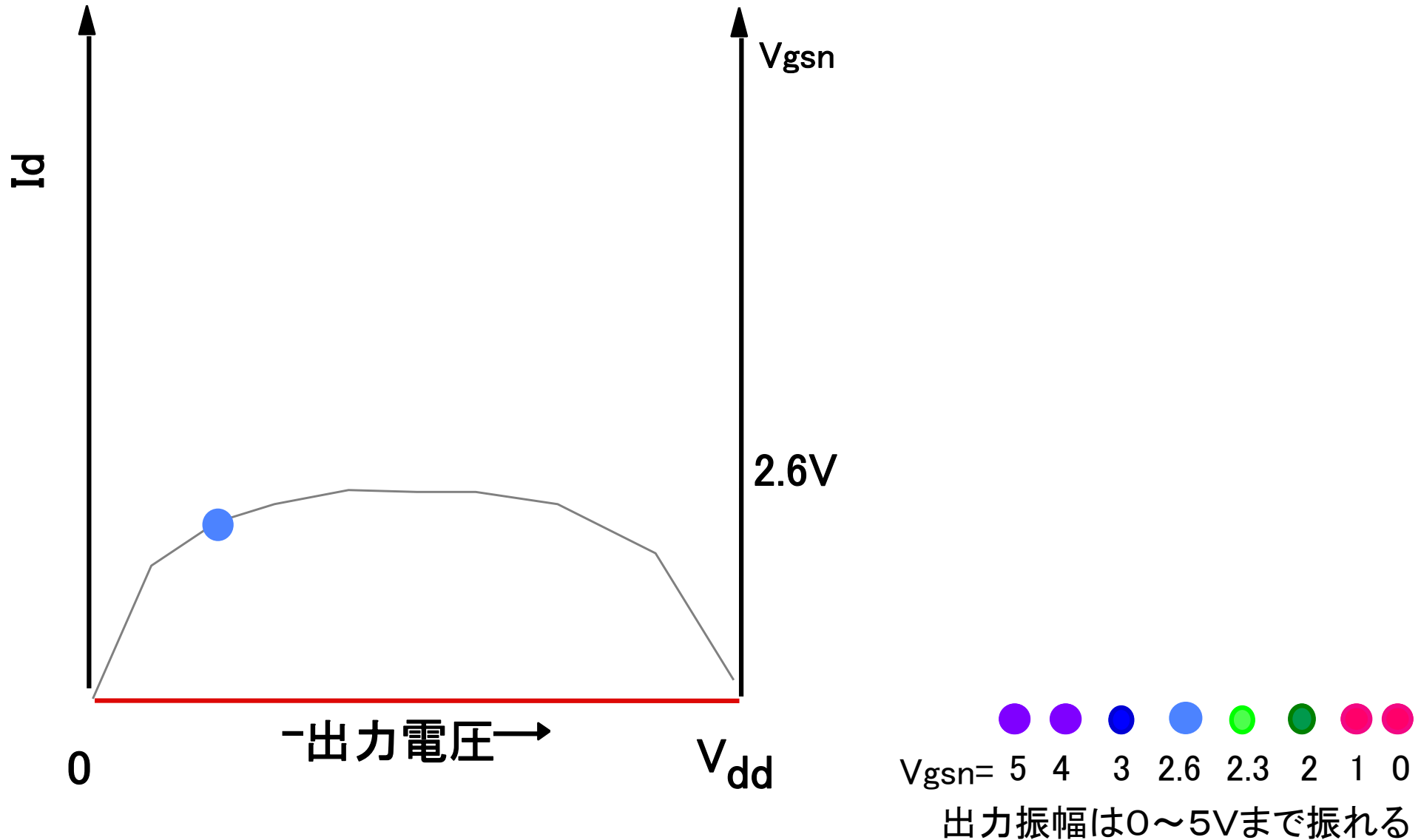
CMOSインバータの直流入出力特性



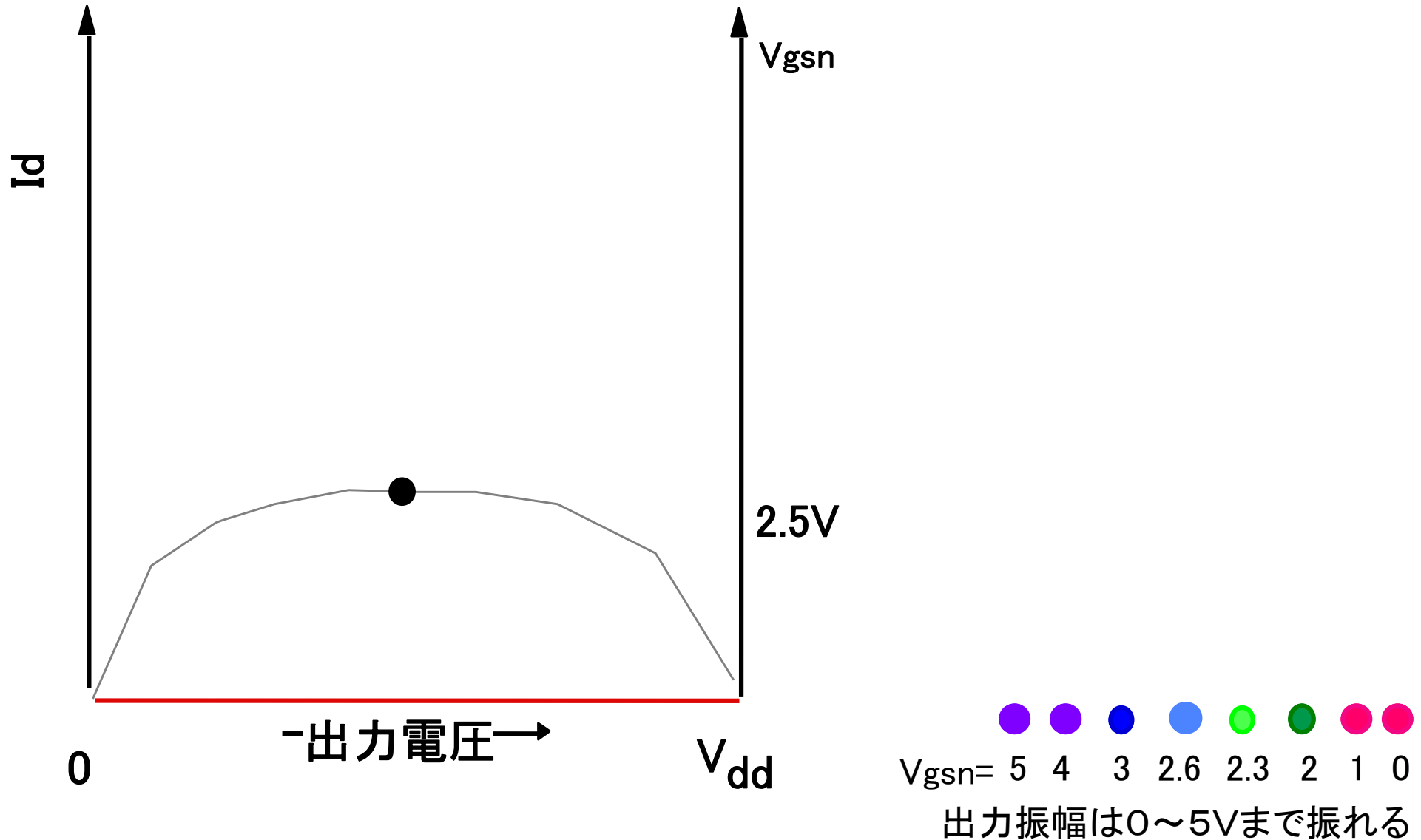
CMOSインバータの直流入出力特性



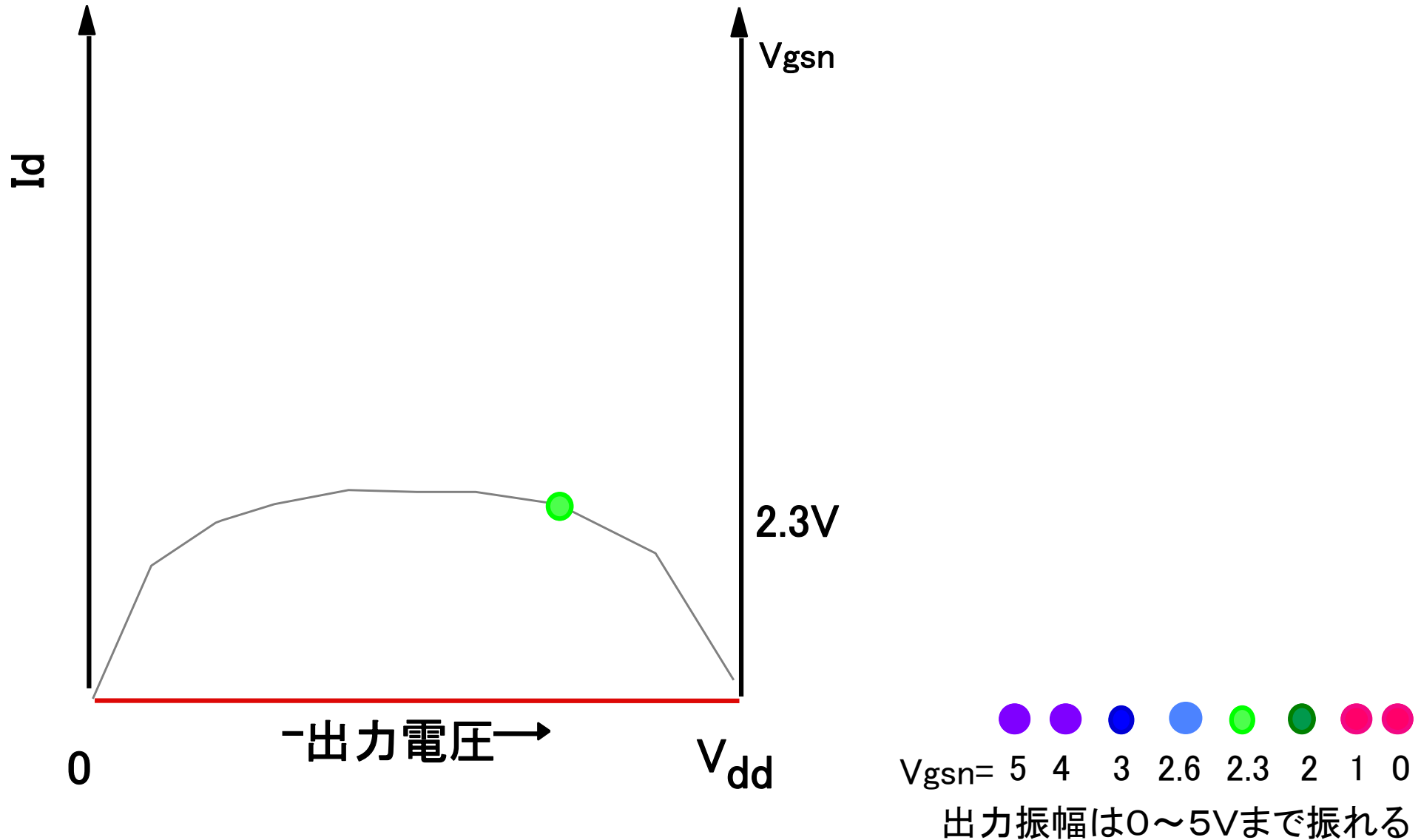
CMOSインバータの直流入出力特性



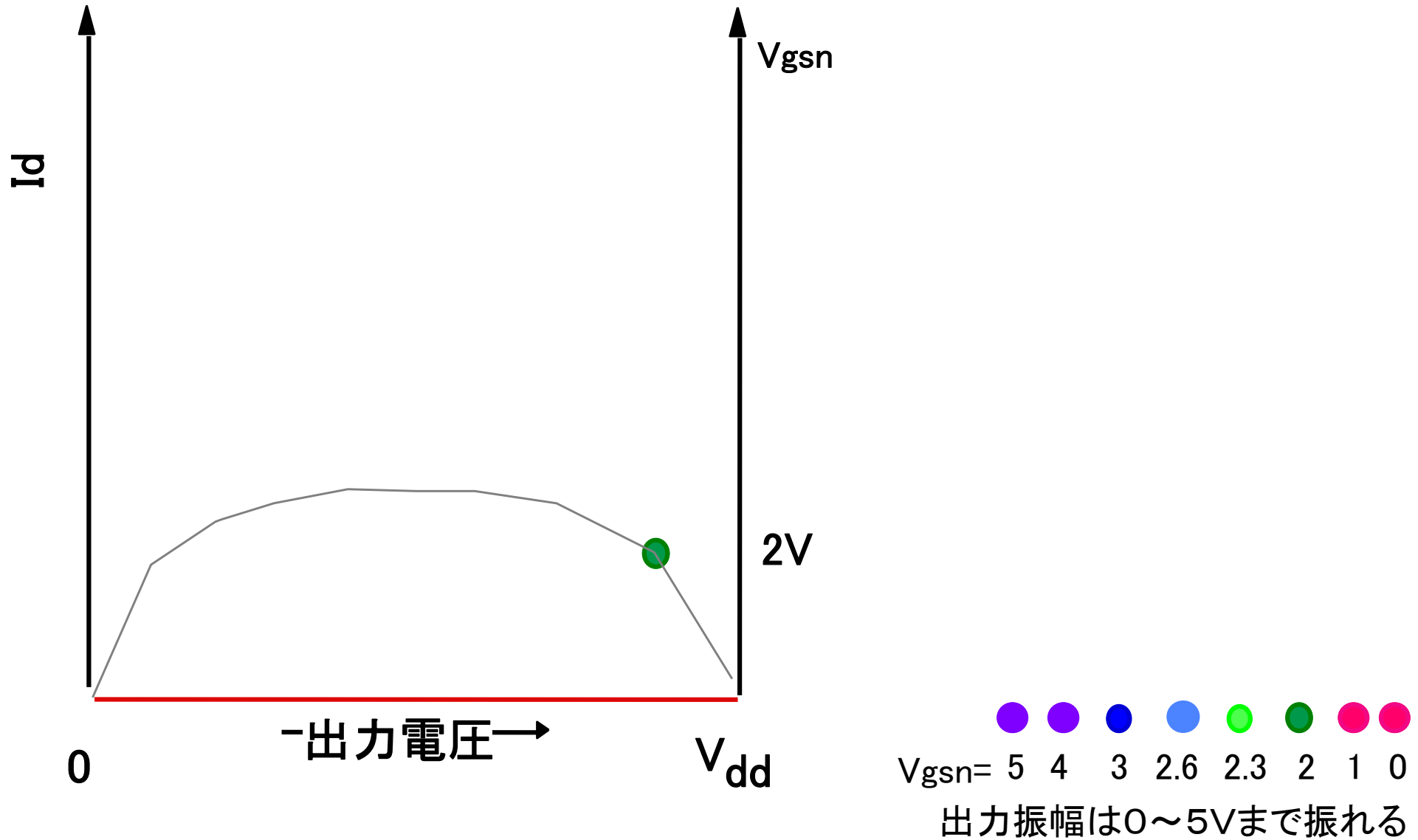
CMOSインバータの直流入出力特性



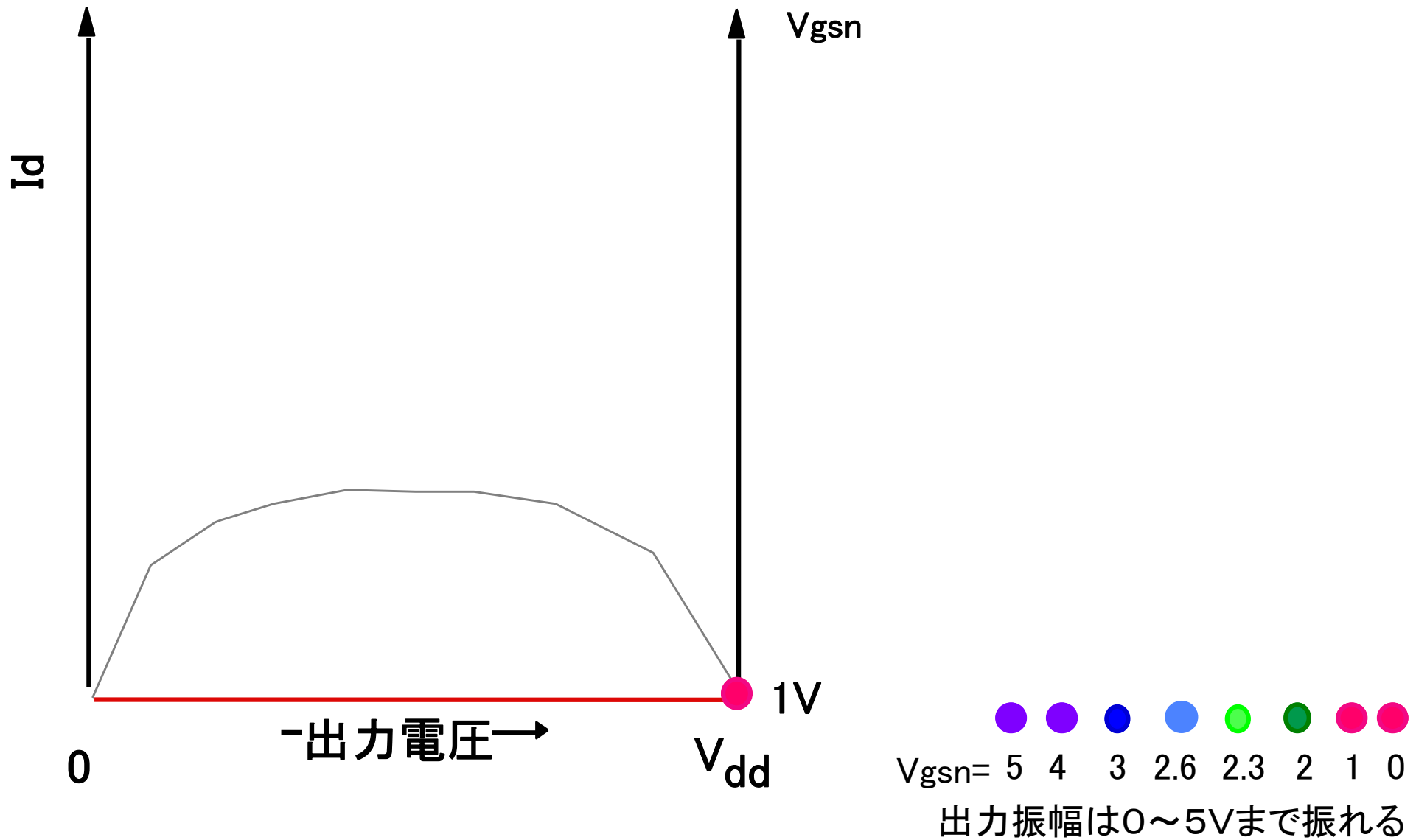
CMOSインバータの直流入出力特性



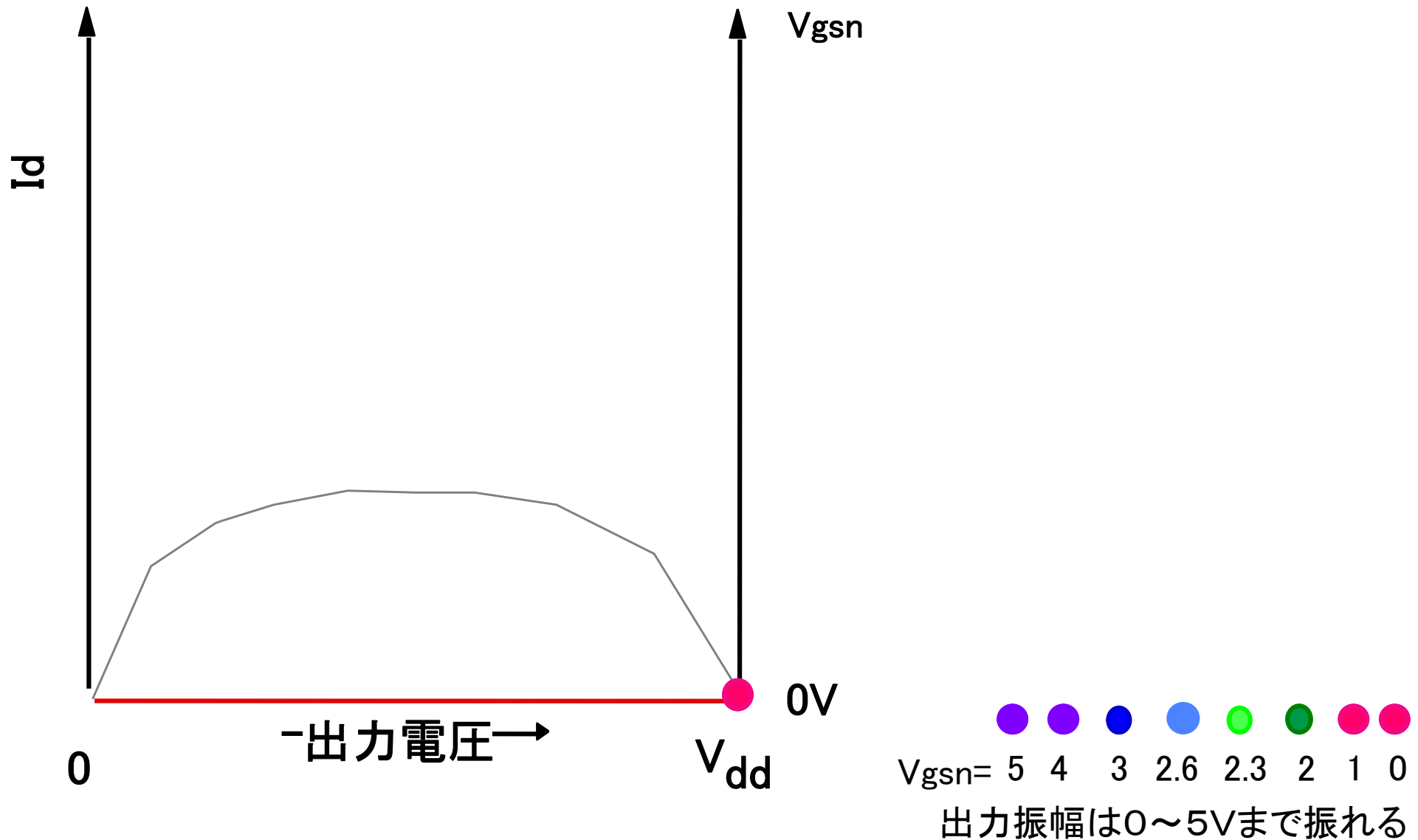
CMOSインバータの直流入出力特性



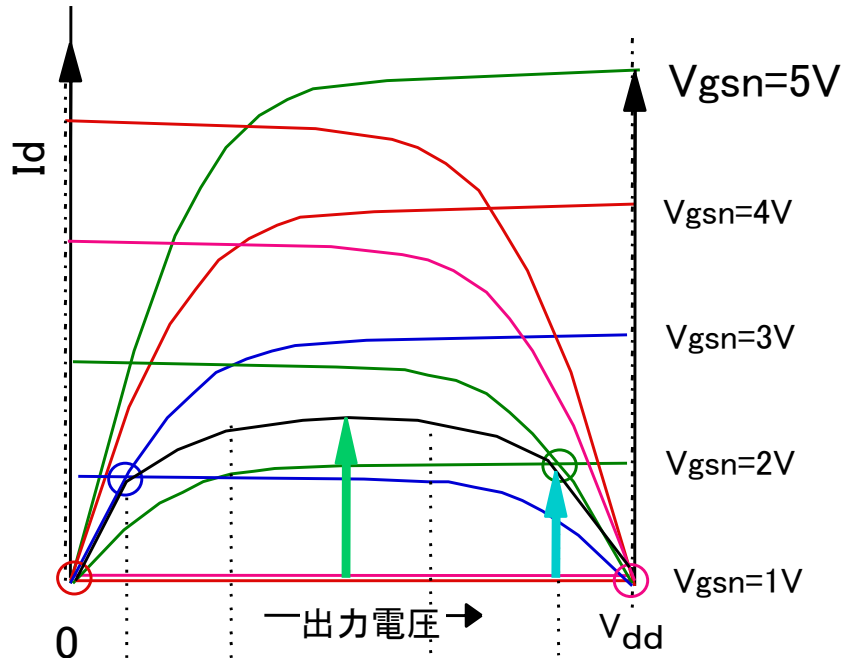
CMOSインバータの直流入出力特性



CMOSインバータの直流入出力特性

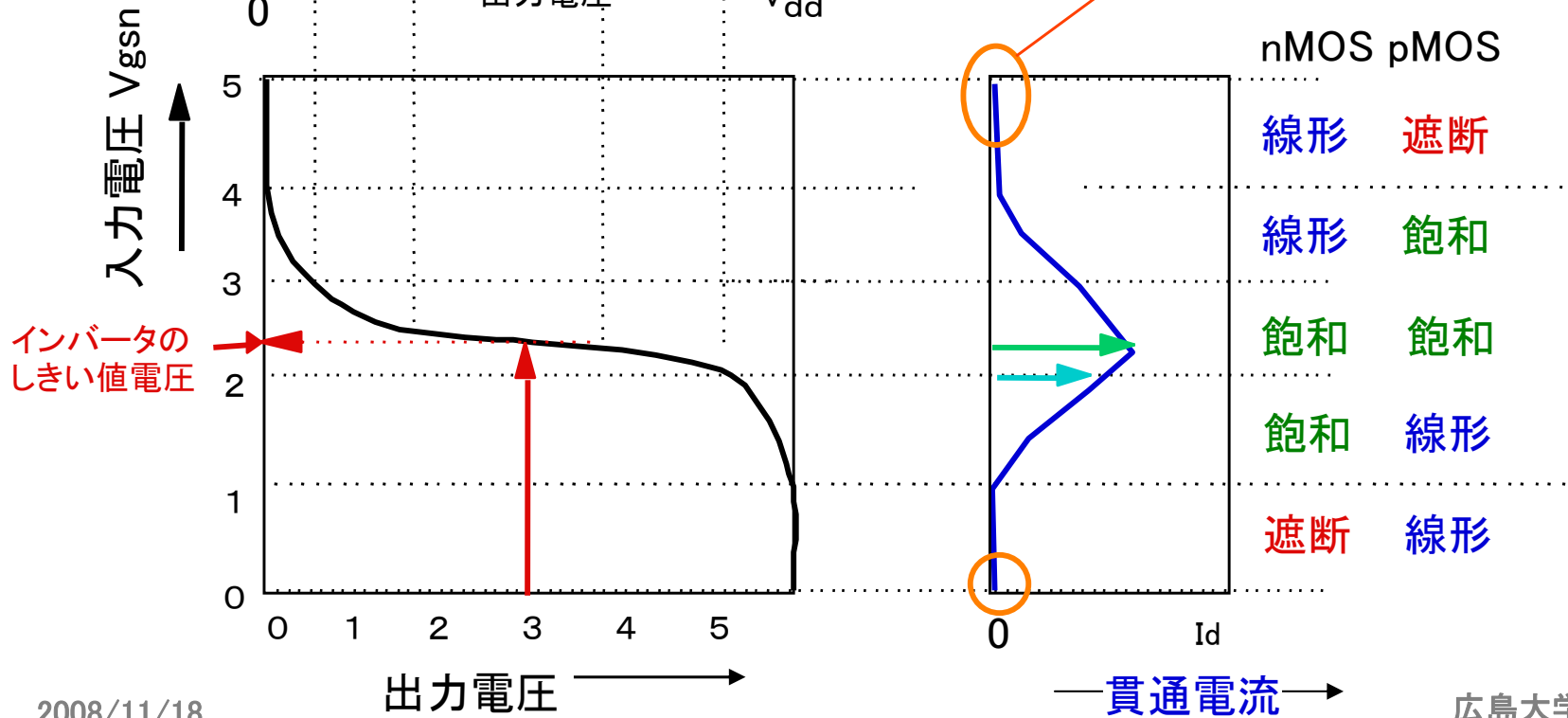


CMOSインバータの入出力特性と貫通電流

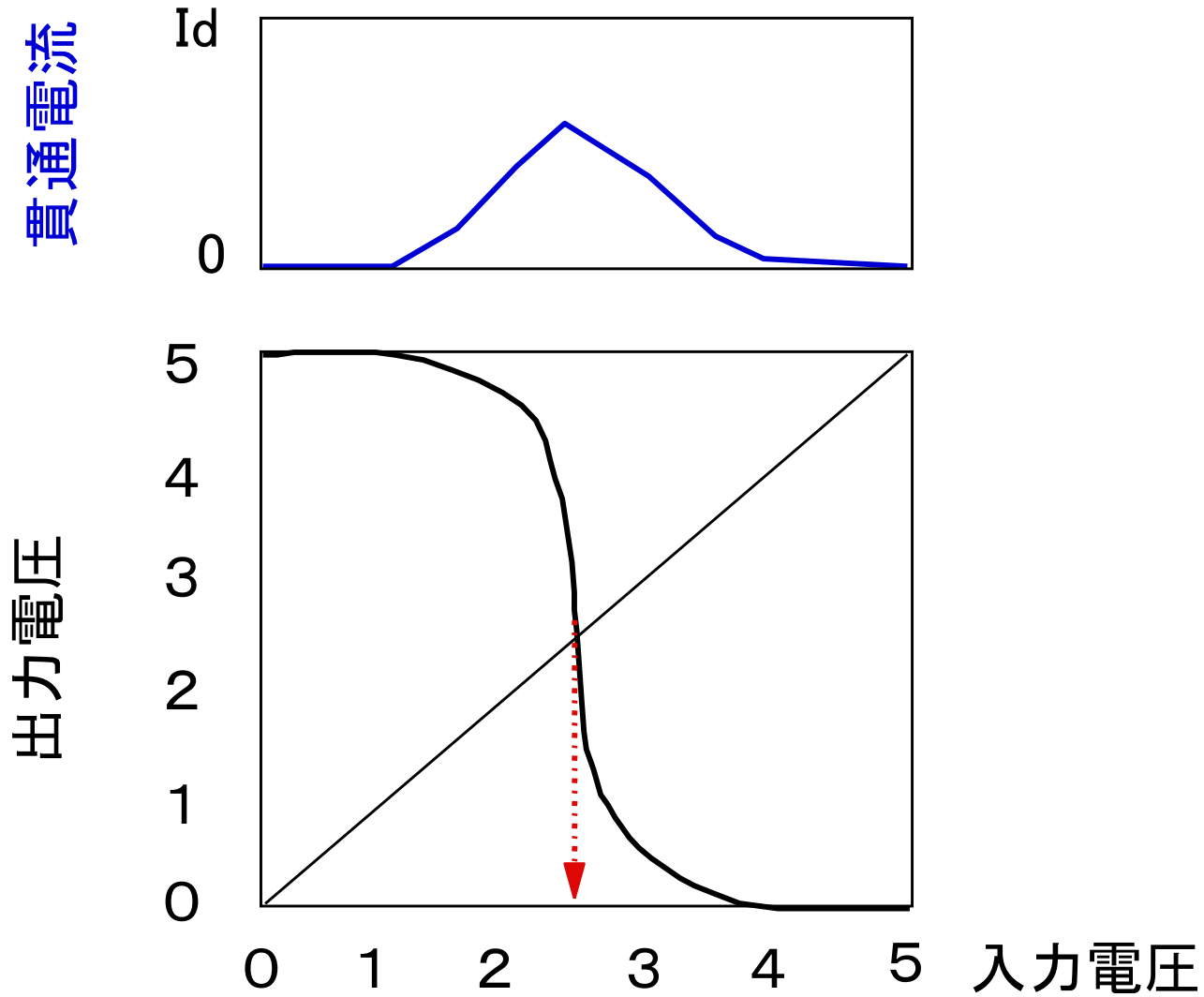


入力が0V又は5Vの時は電流は0
 入力に変化する時のみ電流が流れる

CMOS論理回路が低電力な理由



CMOSインバータの入出力特性と貫通電流



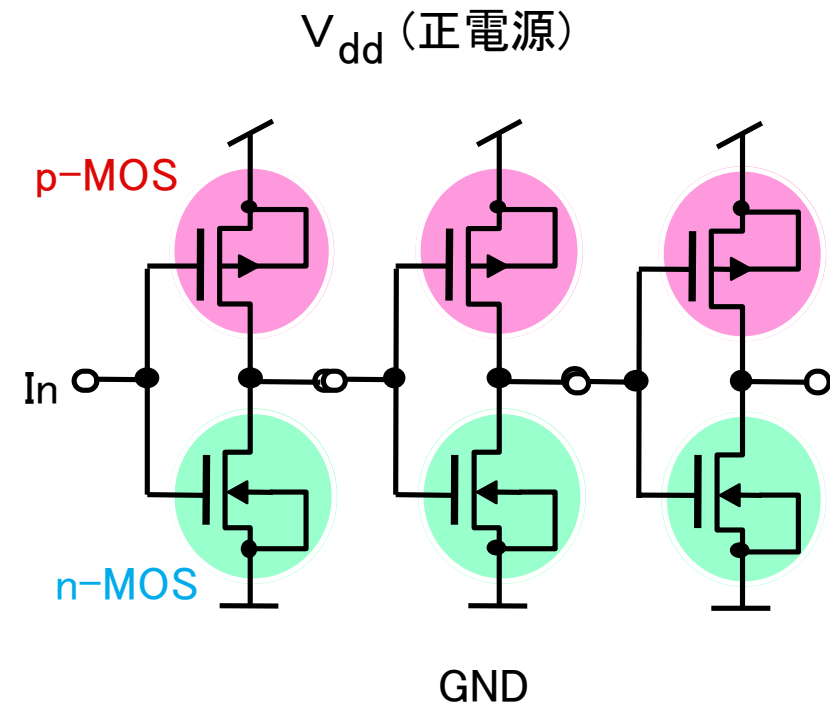
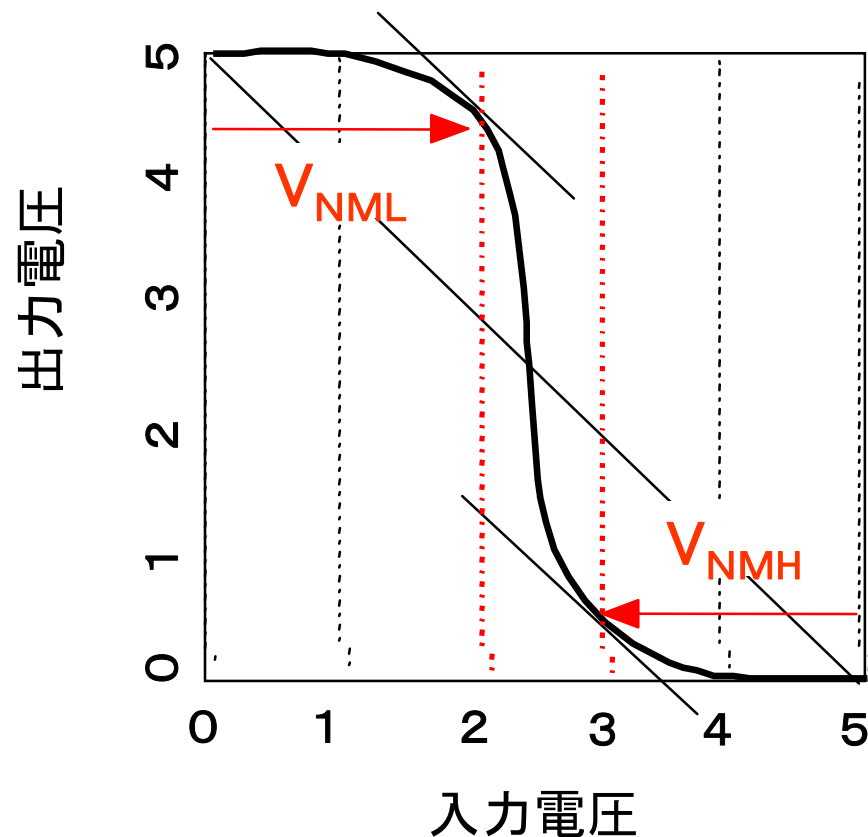
インバータの
しきい値電圧

雑音余裕

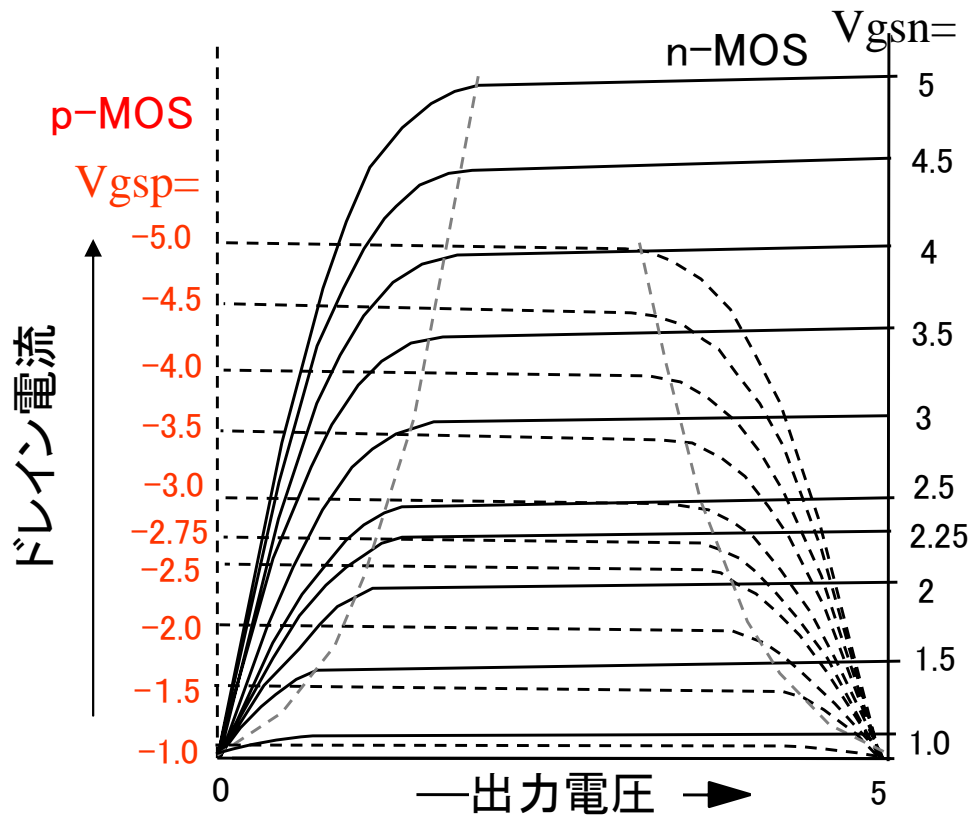
Noise Margin

インバーターを多段に接続する
入出力特性の傾きが45度より

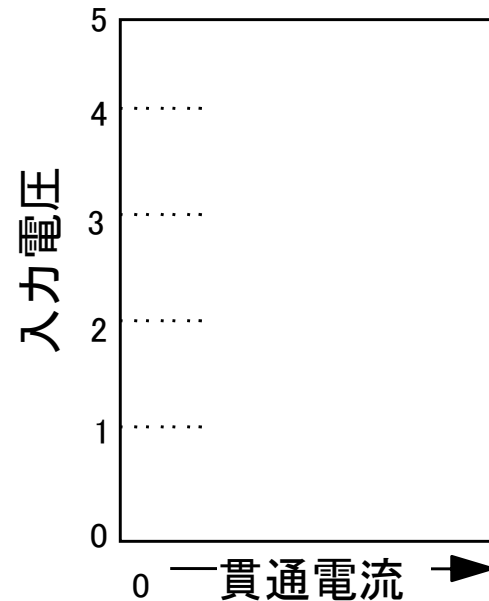
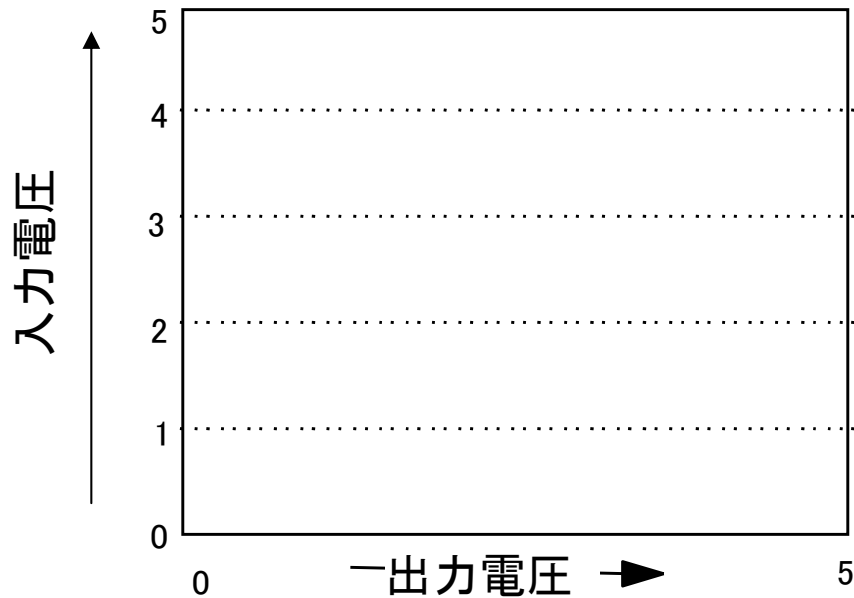
小さい時 ハイ あるいは ローに向かい正常動作
大きい時 中間の電位に向かい誤動作

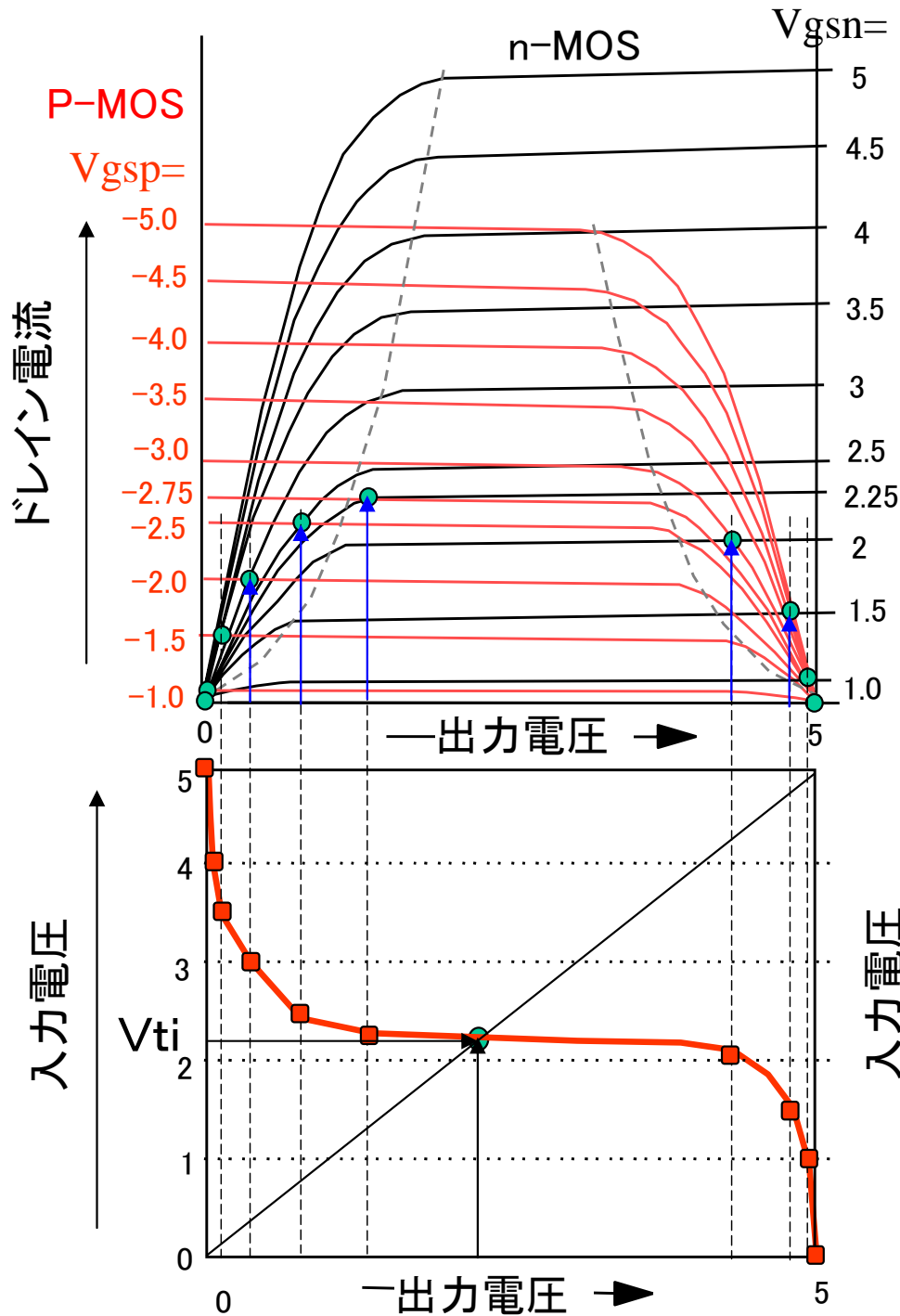


宿題 集積回路基礎 2008.11.4



1. 左図のようにnMOSとpMOSの特性が与えられたときインバータの入出力特性を作図で求めよ. $V_{dd}=5V$ である。貫通電流も同様に求めよ。また、インバータの出力電圧を求めよ



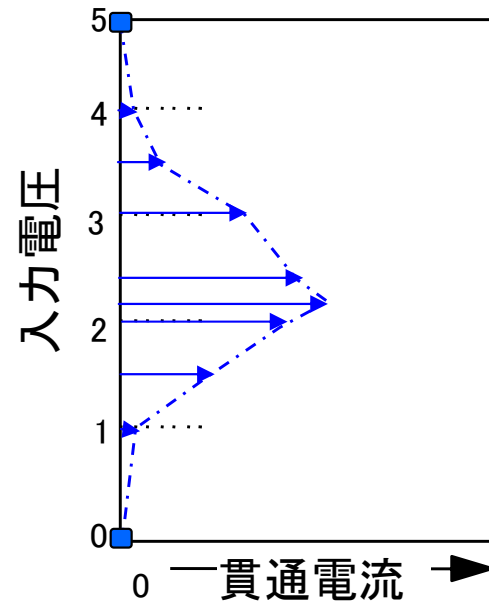


1. 左図のようにnMOSとpMOSの特性が与えられたときインバータの入出力特性を作図で求めよ. $V_{dd}=5V$ である。

貫通電流も同様に求めよ.

また, インバータのしきい値電圧とその時の出力電圧を求めよ

V_{ti} : インバータのしきい値電圧

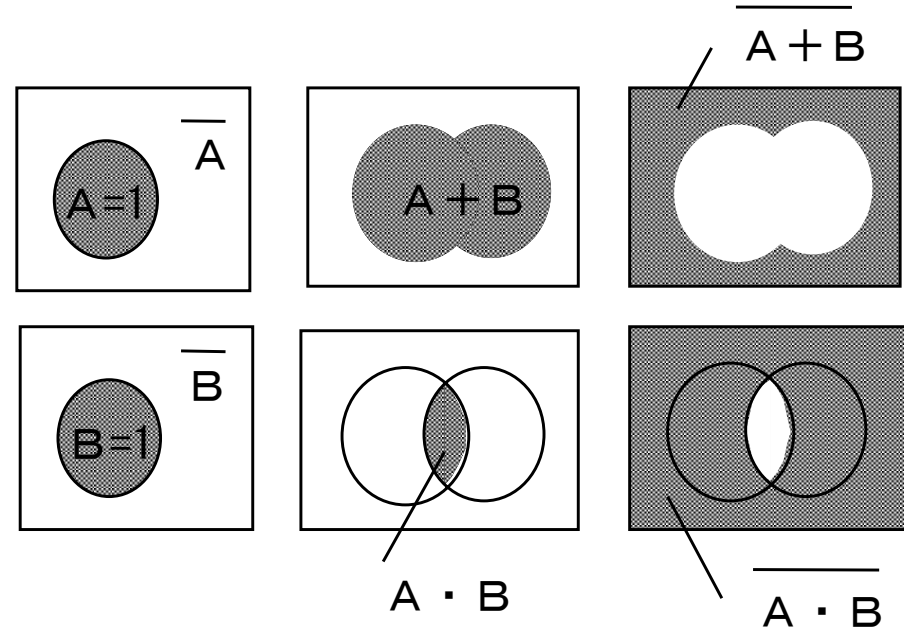


第4章 CMOS論理回路

(2) 基本論理ゲート

ブール代数と論理関数

否定, NOT :	\overline{A}
論理積, AND :	$A \cdot B$
論理和, OR :	$A + B$
NAND (NOT AND) :	$\overline{A \cdot B}$
NOR (NOT OR) :	$\overline{A + B}$



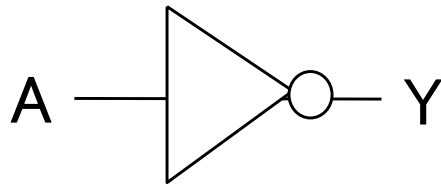
$X \cdot \overline{X} = 0$	(零元)
$X + \overline{X} = 1$	(単位元)
$\overline{\overline{X}} = X$	2重否定
$X + (Y \cdot Z) = (X + Y) \cdot (X + Z)$	
$X \cdot (Y + Z) = (X \cdot Y) + (X \cdot Z)$	

ド・モルガンの定理
de Morgan's theorem

$$\overline{X + Y} = \overline{X} \cdot \overline{Y}$$

$$\overline{X \cdot Y} = \overline{X} + \overline{Y}$$

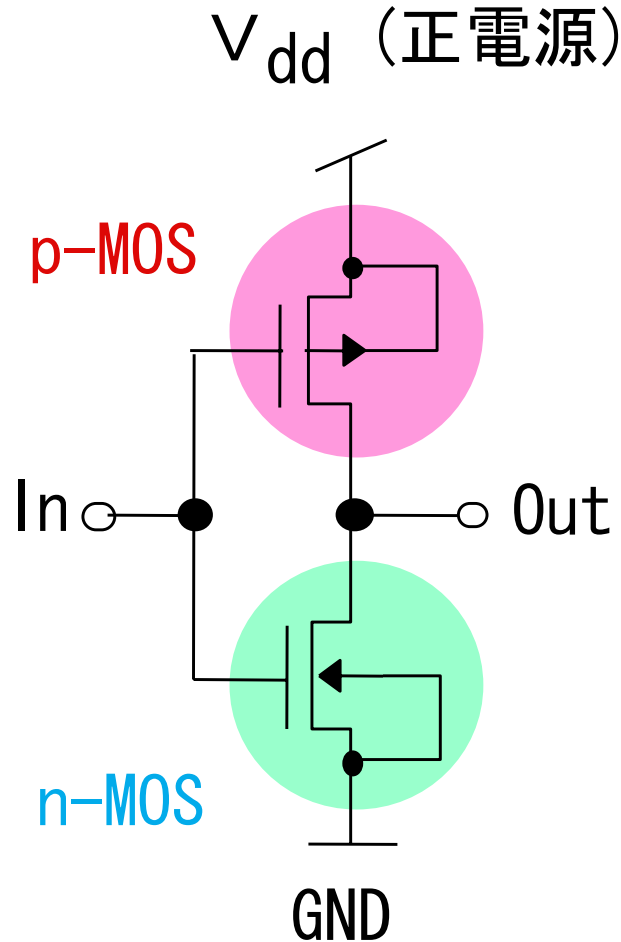
CMOSインバータ



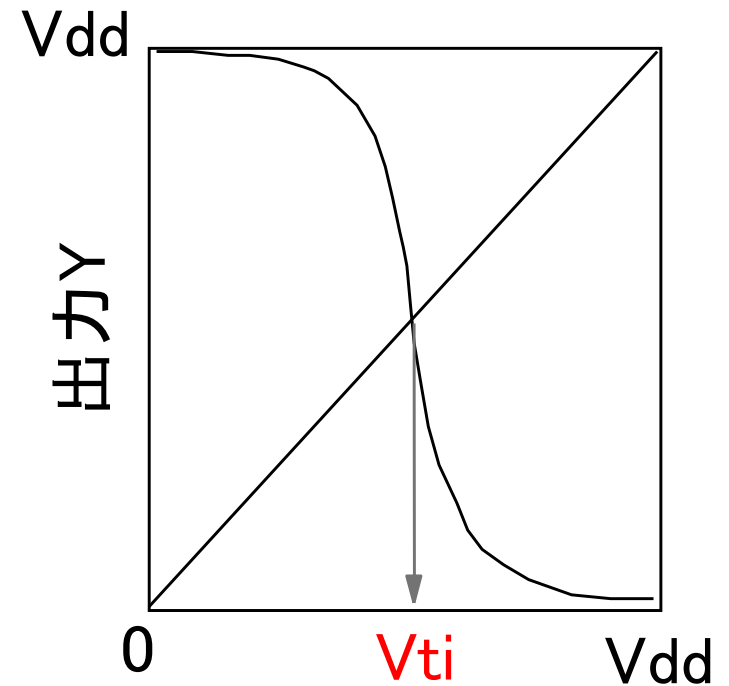
論理記号

真理値表

A	Y
0	1
1	0



回路図

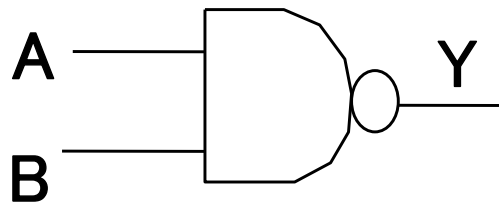


直流入出力特性

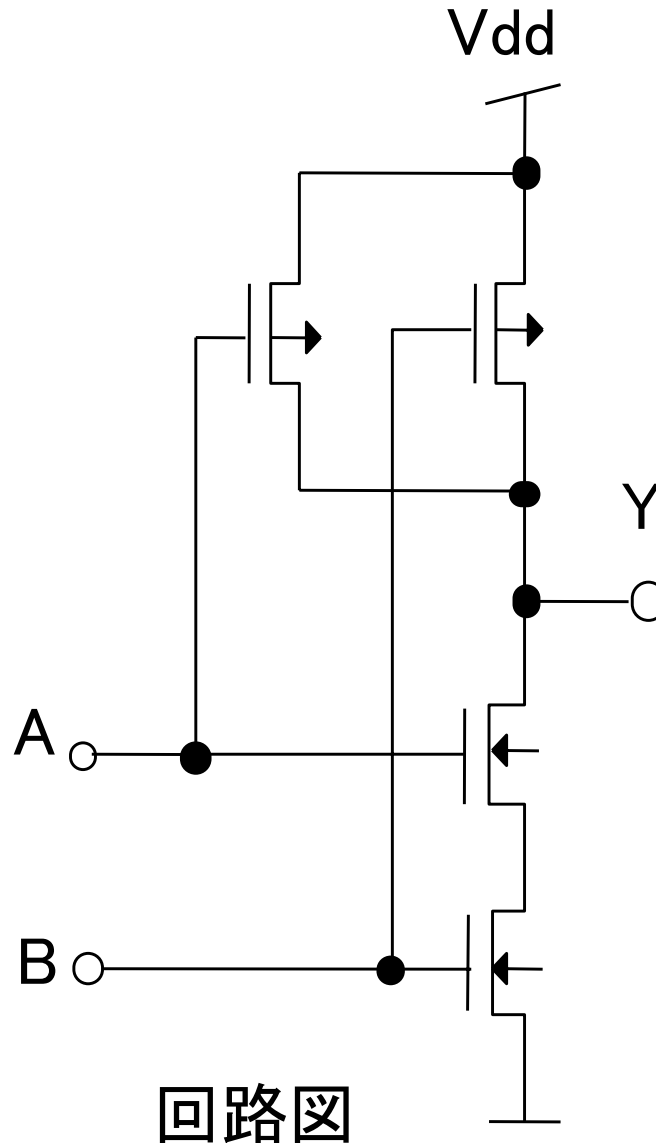
2入力NAND ゲート

NANDの論理式

$$Y = \overline{A \cdot B}$$



論理記号

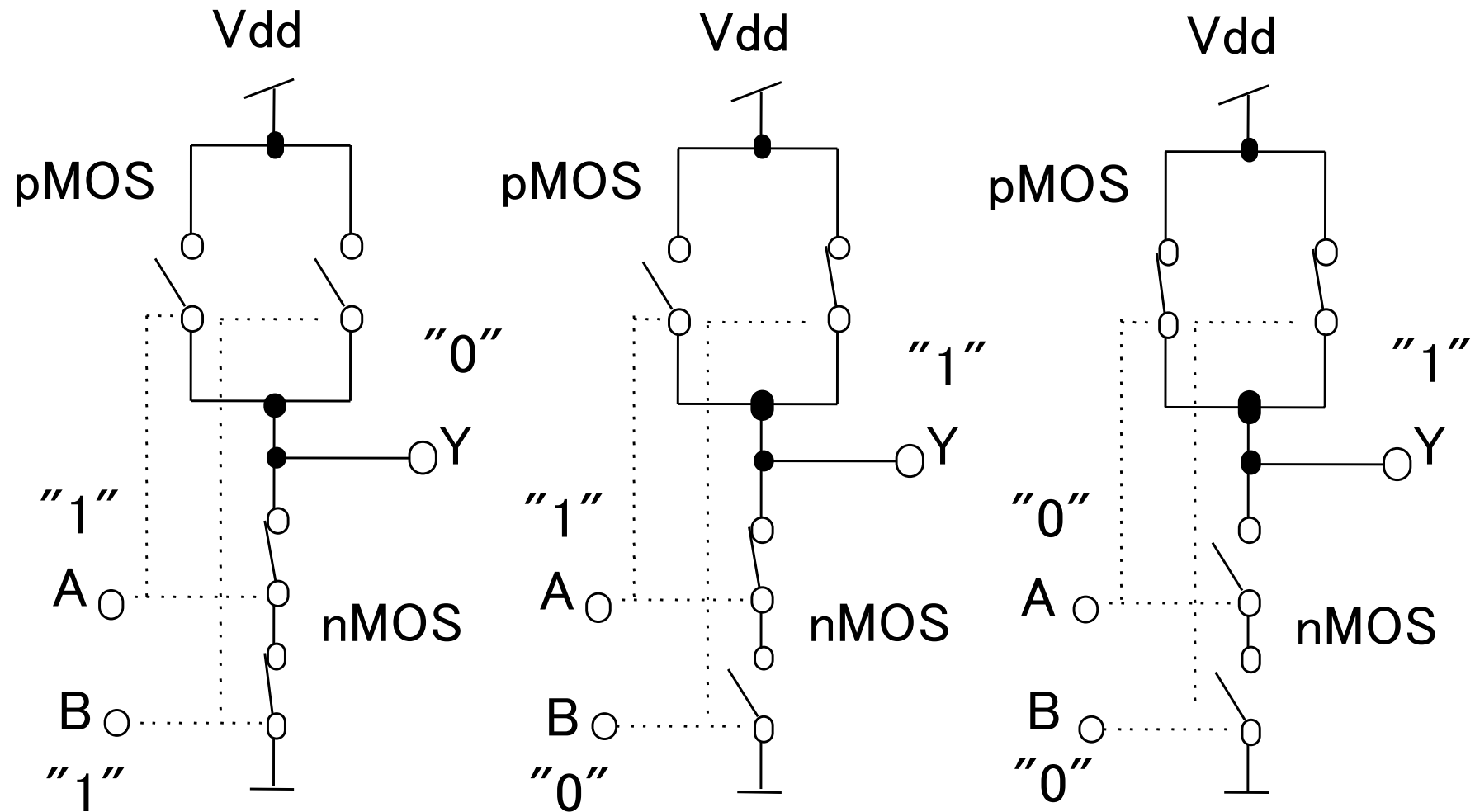


回路図

真理値表

A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

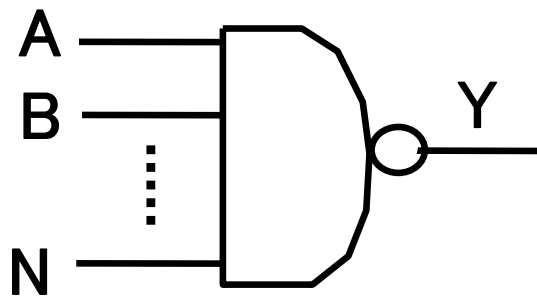
スイッチによる等価回路 2入力CMOS-NANDゲート



N入力NAND ゲート

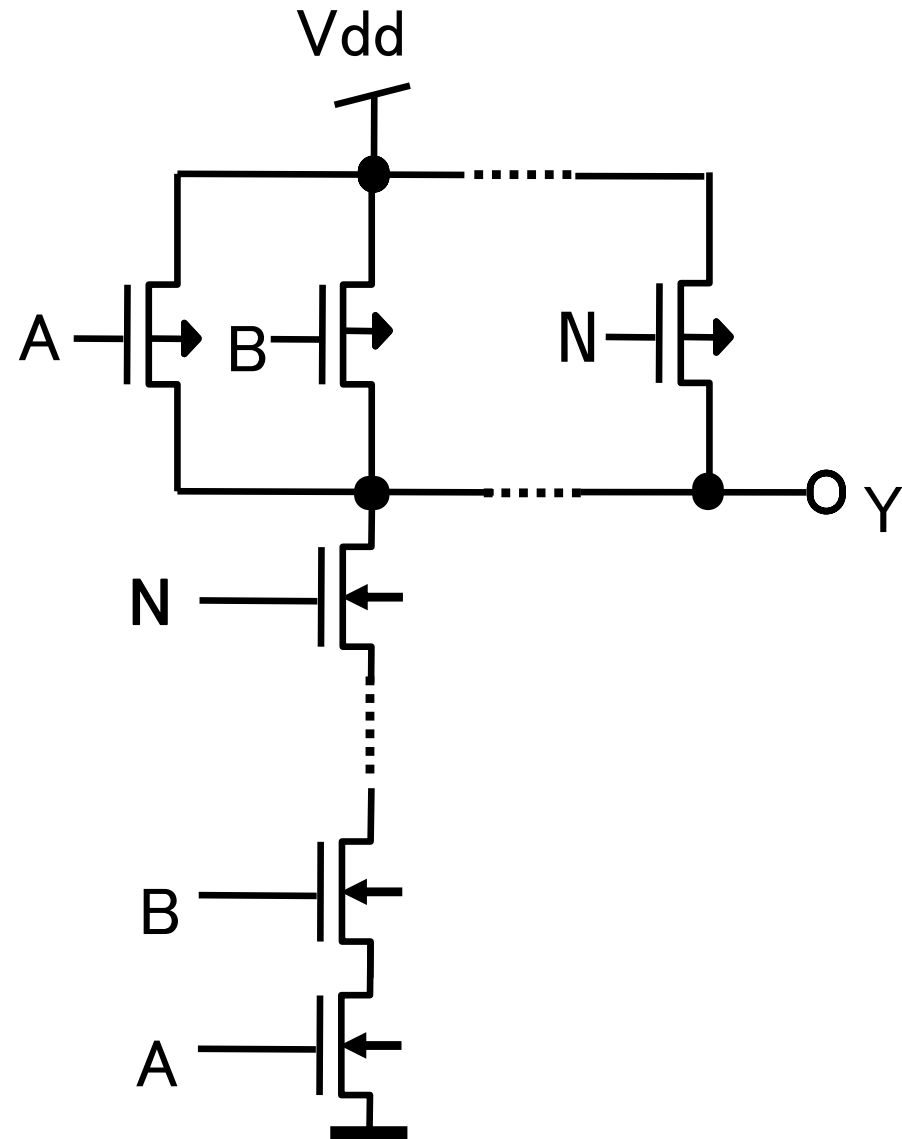
NANDの論理式

$$Y = \overline{A \cdot B \cdot \dots \cdot N}$$



論理記号

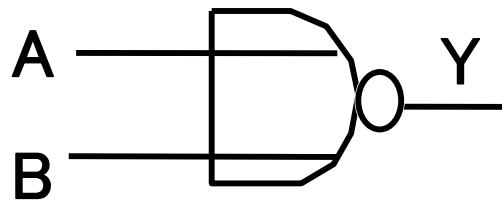
回路図



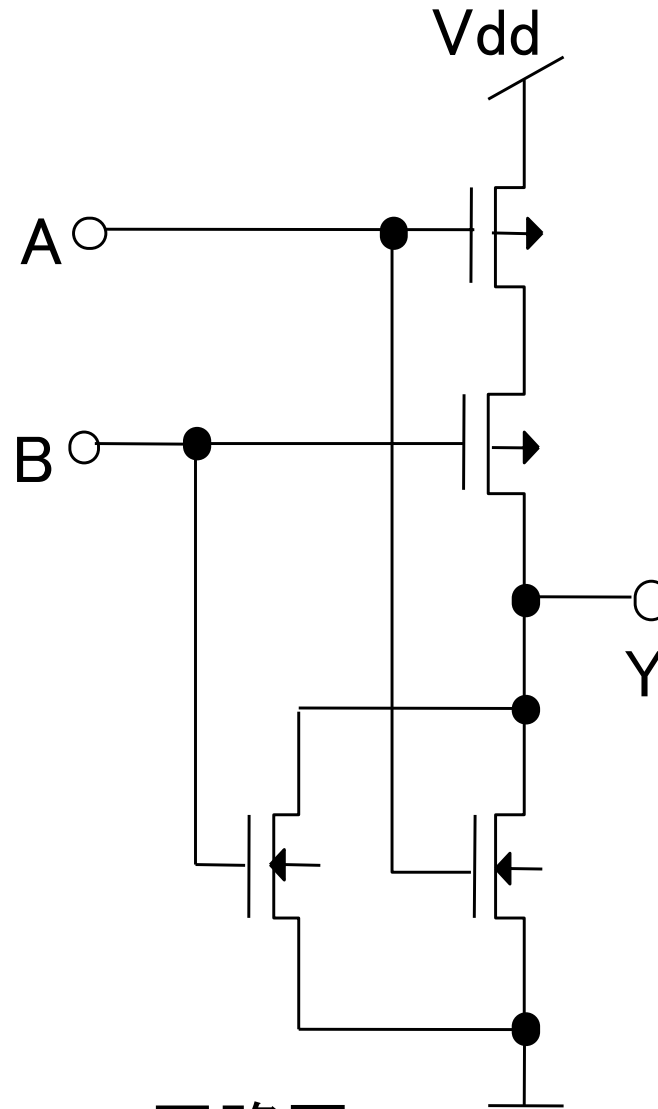
2入力NOR ゲート

NORの論理式

$$Y = \overline{A + B}$$



論理記号

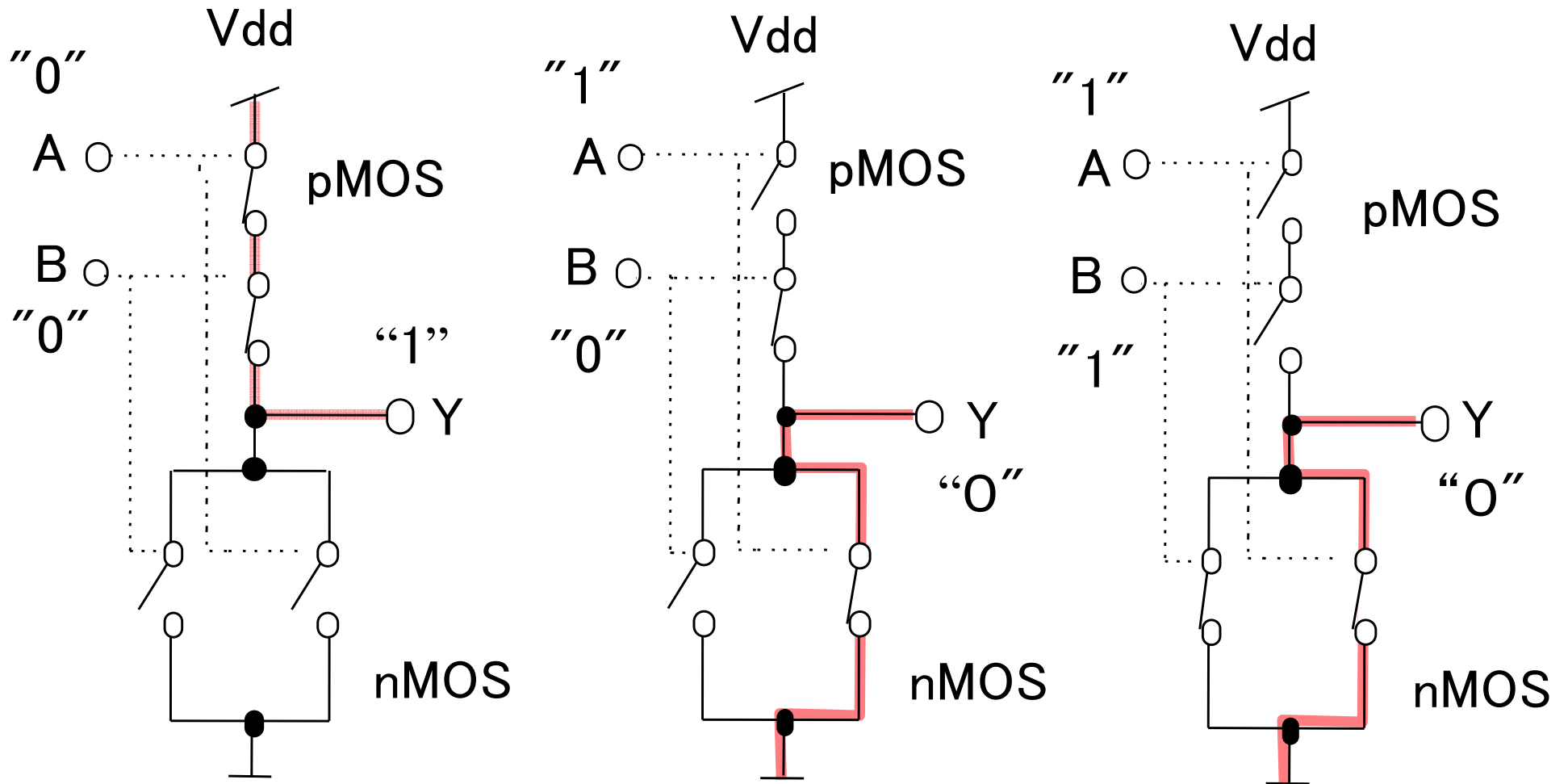


回路図

真理値表

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	0

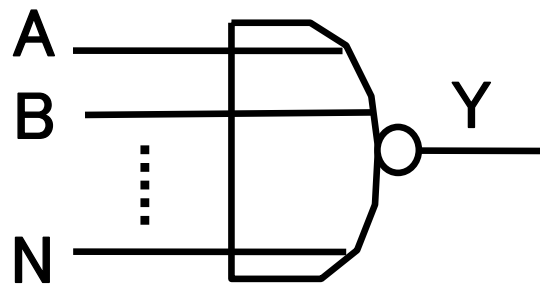
スイッチによる等価回路 2入力CMOS-NORゲート



N入力NORゲート

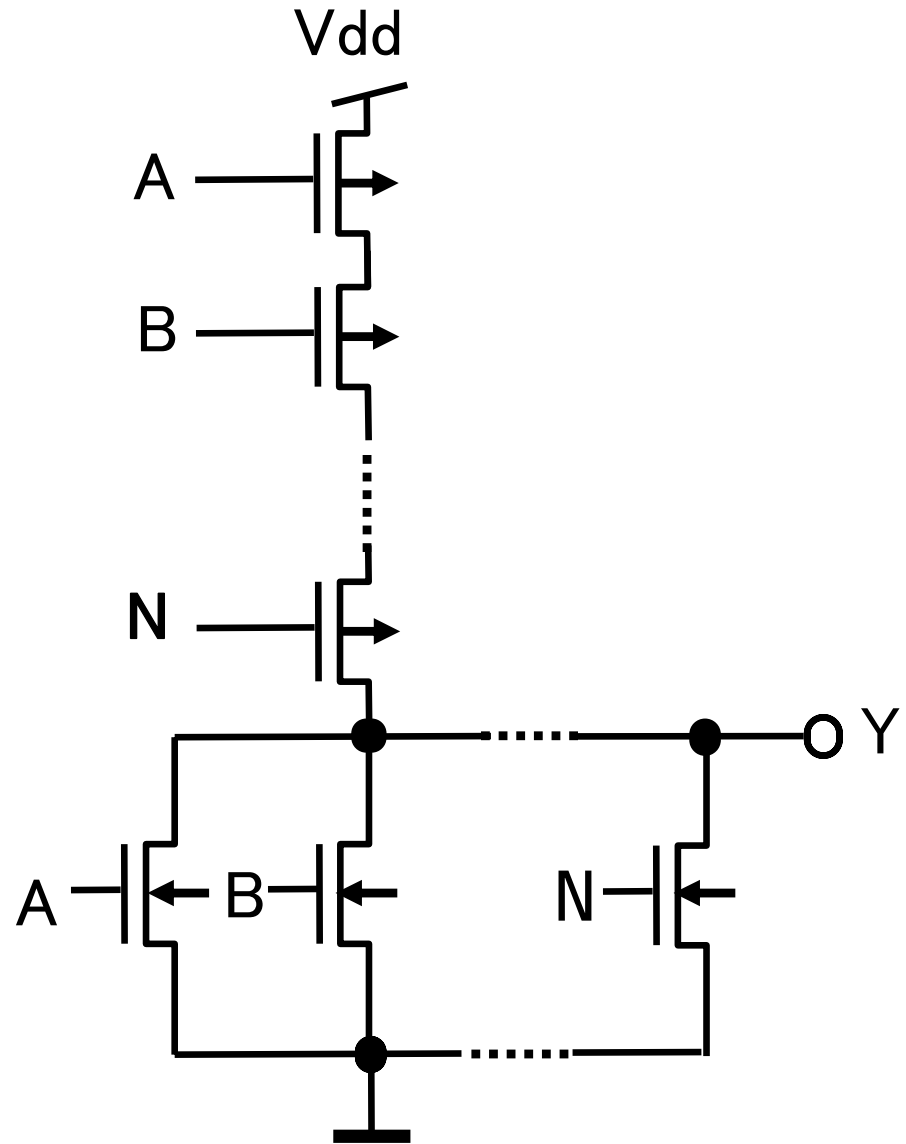
NORの論理式

$$Y = \overline{A+B+\dots+N}$$



論理記号

回路図



トランスファークロウ トランスミッションゲート

TG

真理値表

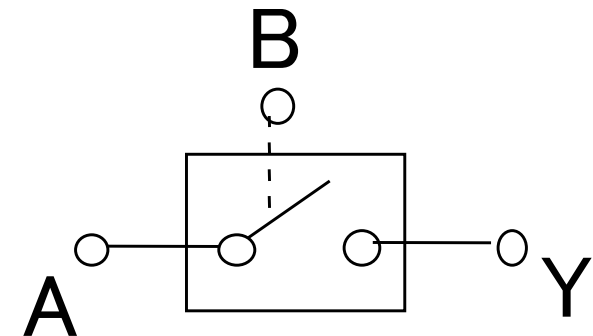
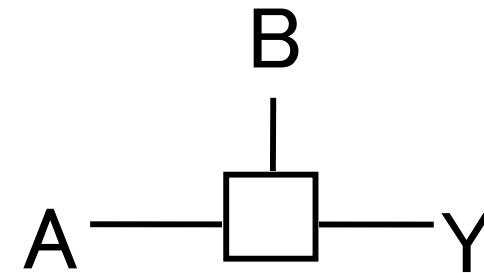
A	B	Y
0	1	0
1	1	1
0	0	HiZ
1	0	HiZ

スイッチON

スイッチOFF

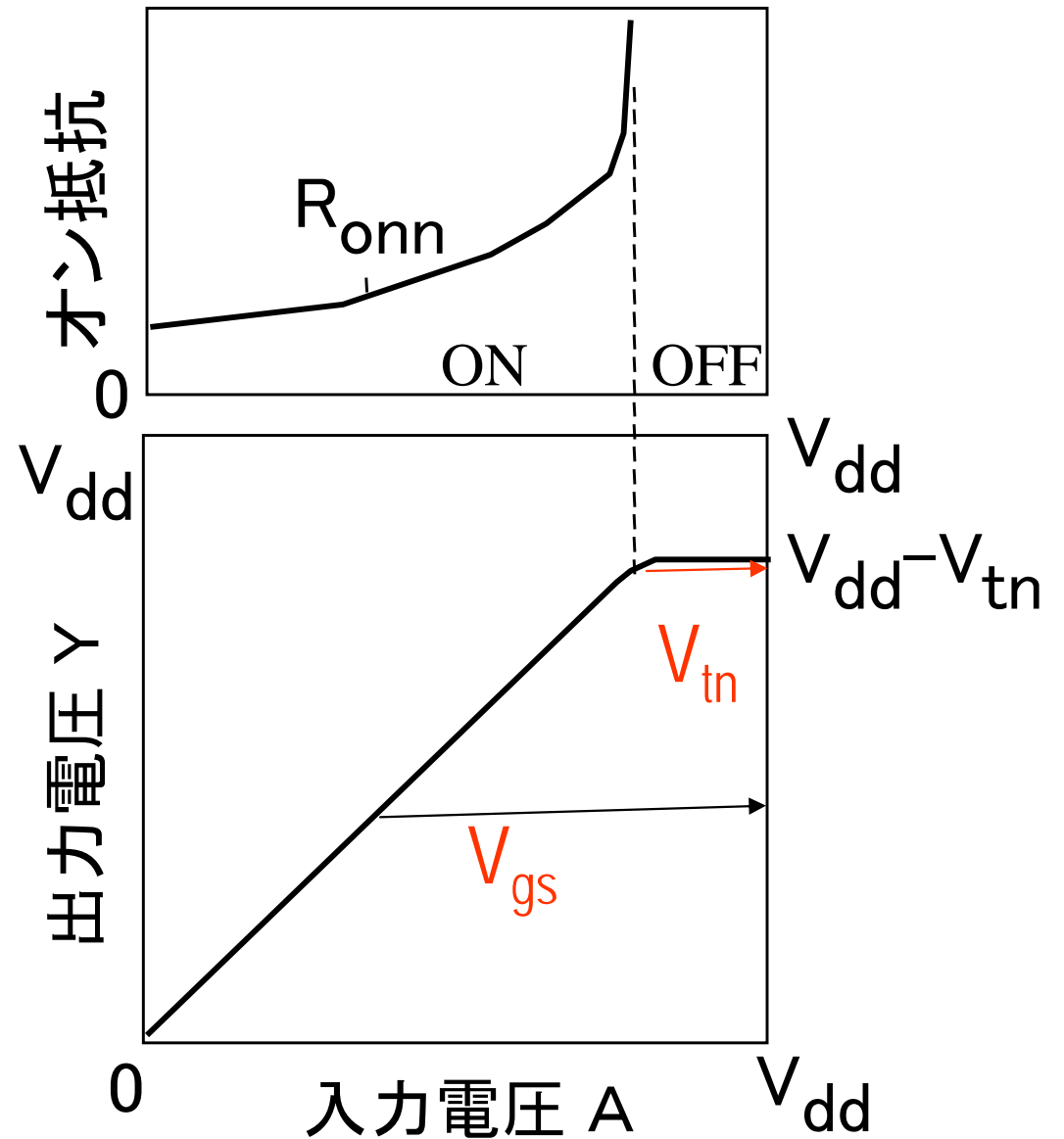
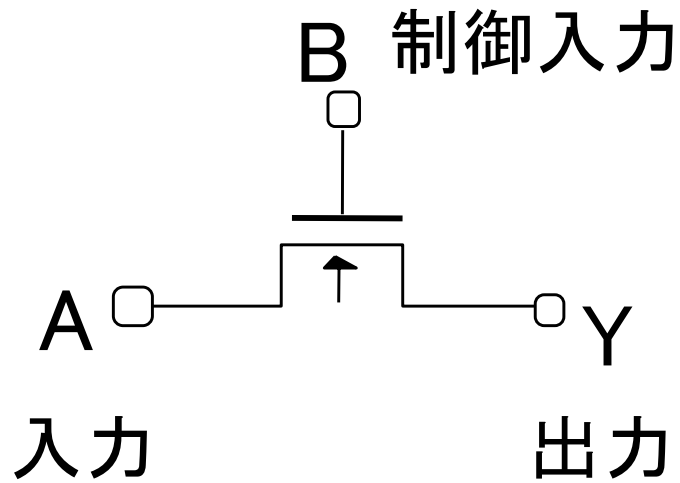
HiZ: ハイインピーダンス

論理記号

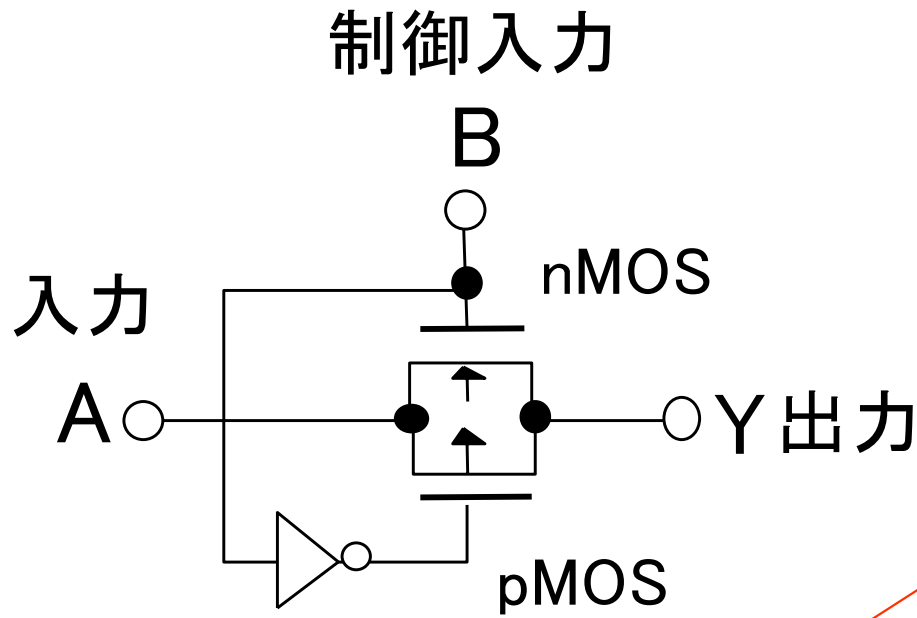


スイッチによる
等価回路

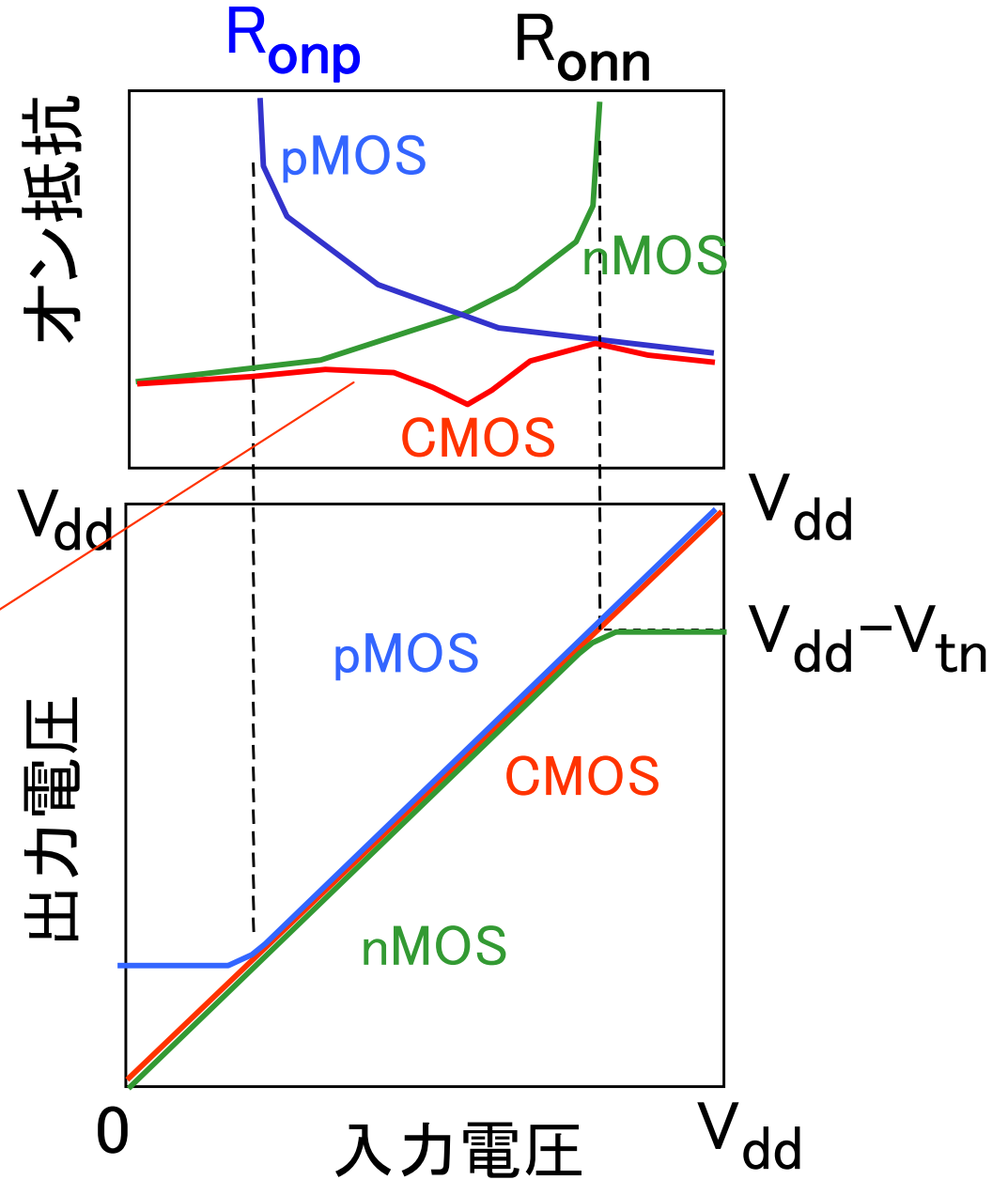
n-MOS トランスファークローク



CMOS トランスファークロッシング



$$R_{on} = R_{onp} // R_{onn}$$



TGを用いた論理回路

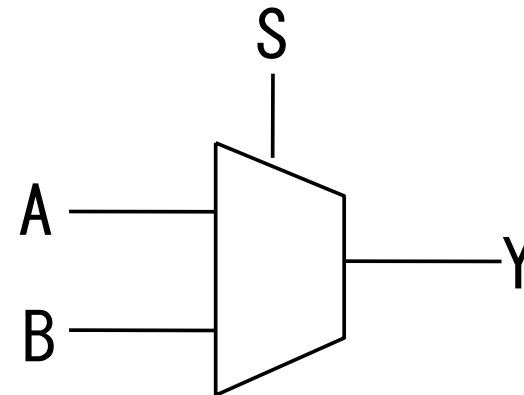
セレクタ (マルチプレクサとも呼ばれる)

セレクト信号 S によって A か B を選択する

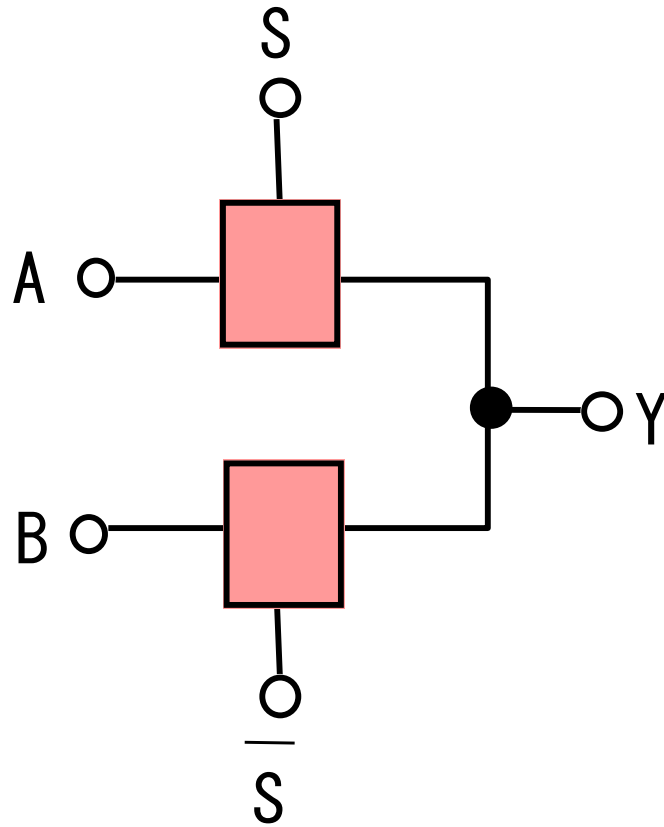
論理式 $Y = A S + B \bar{S}$ 論理記号

真理値表

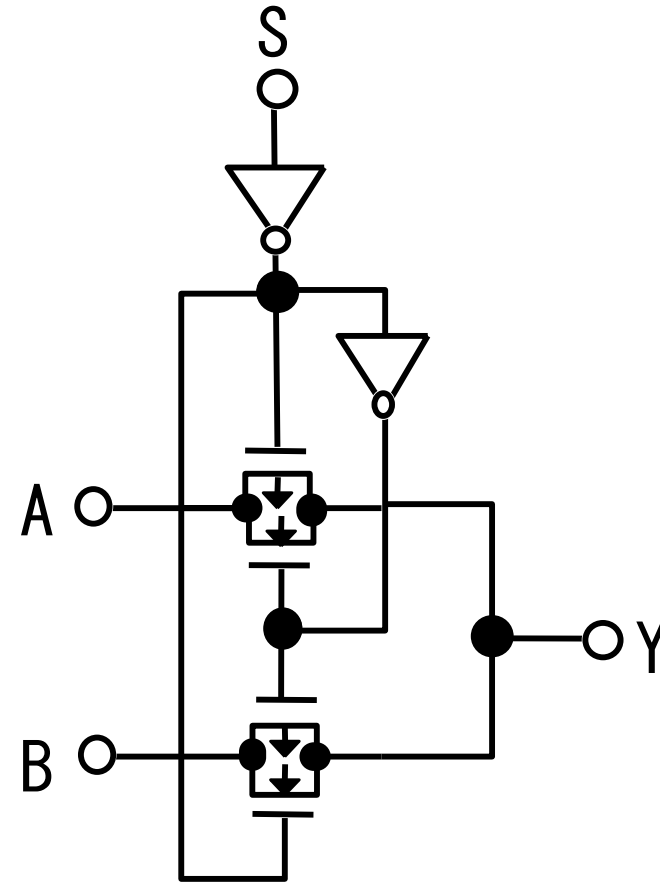
S	Y
1	A
0	B



TGを用いたセレクタ



論理図



回路図

CMOS-TGによるセレクタ

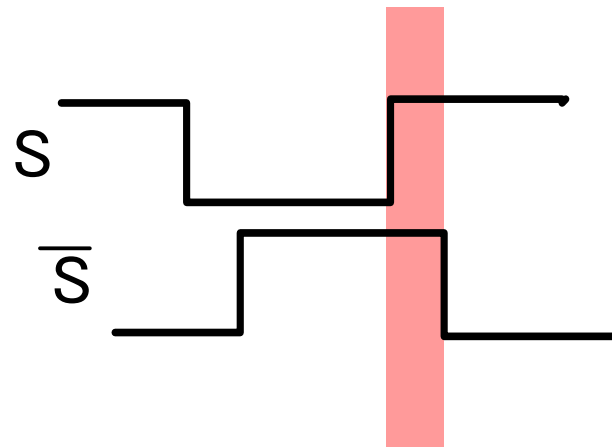
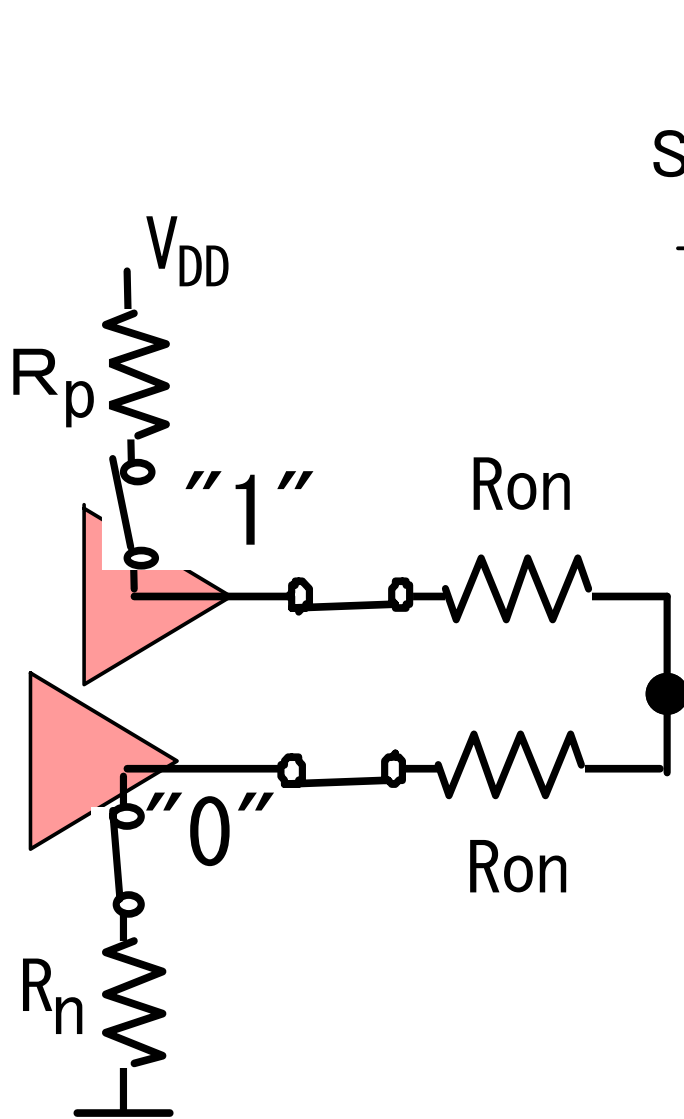
演習問題

TGを用いたセレクトで両方のスイッチが同時にONになったらどうなるか？ (A, Bが1, 0 の場合 Y はどうなるか)

セレクトをANDゲートとOR ゲートで作ることができる.
論理回路を書け.

演習問題

TGを用いたセレクタで両方のスイッチが同時にONになったらどうなるか？ (A, Bが1, 0の場合 Yはどうなるか)



両方のTGがオンになる

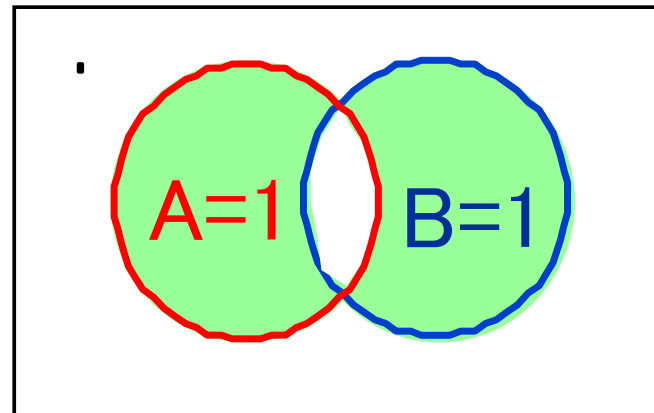
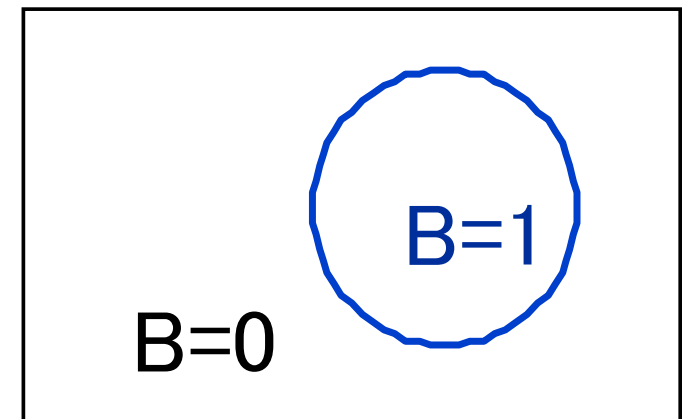
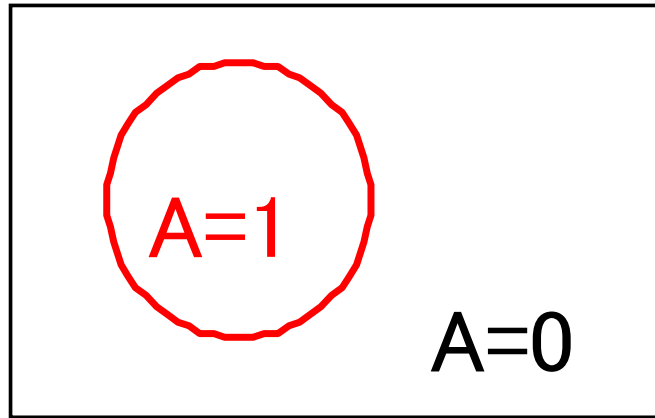
$$V_{out} \sim V_{DD}/2$$

”1”か”0”か決まらない
論理誤動作

排他的論理和 EXOR

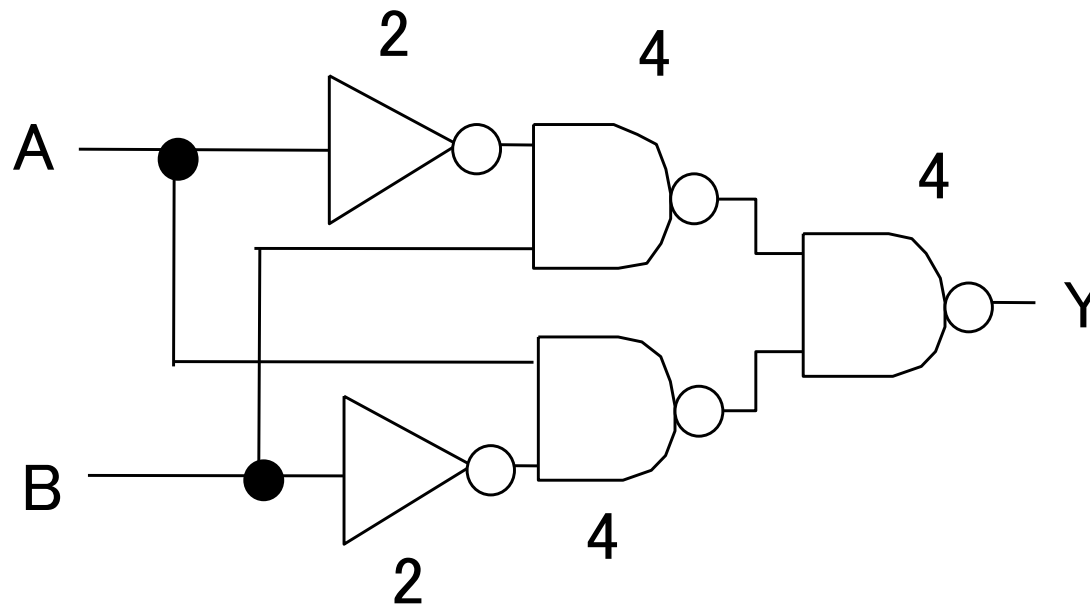
$$Y = A \oplus B = A \bar{B} + \bar{A} B$$

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0



EXORゲート

$$Y = A\bar{B} + \bar{A}B = \overline{\overline{A}B} + \overline{A\bar{B}} = \overline{A\bar{B}} \cdot \overline{\overline{A}B}$$

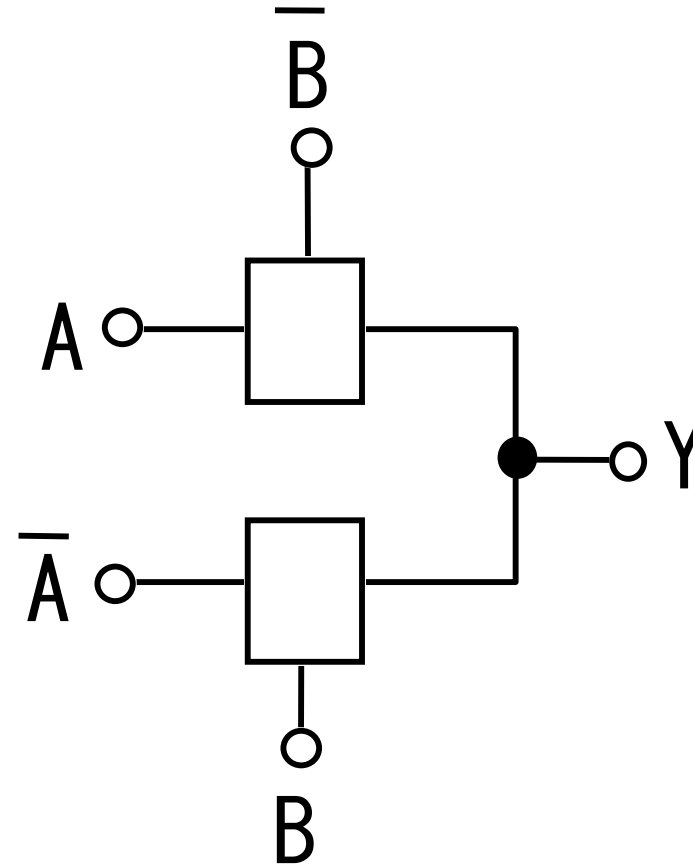


16素子

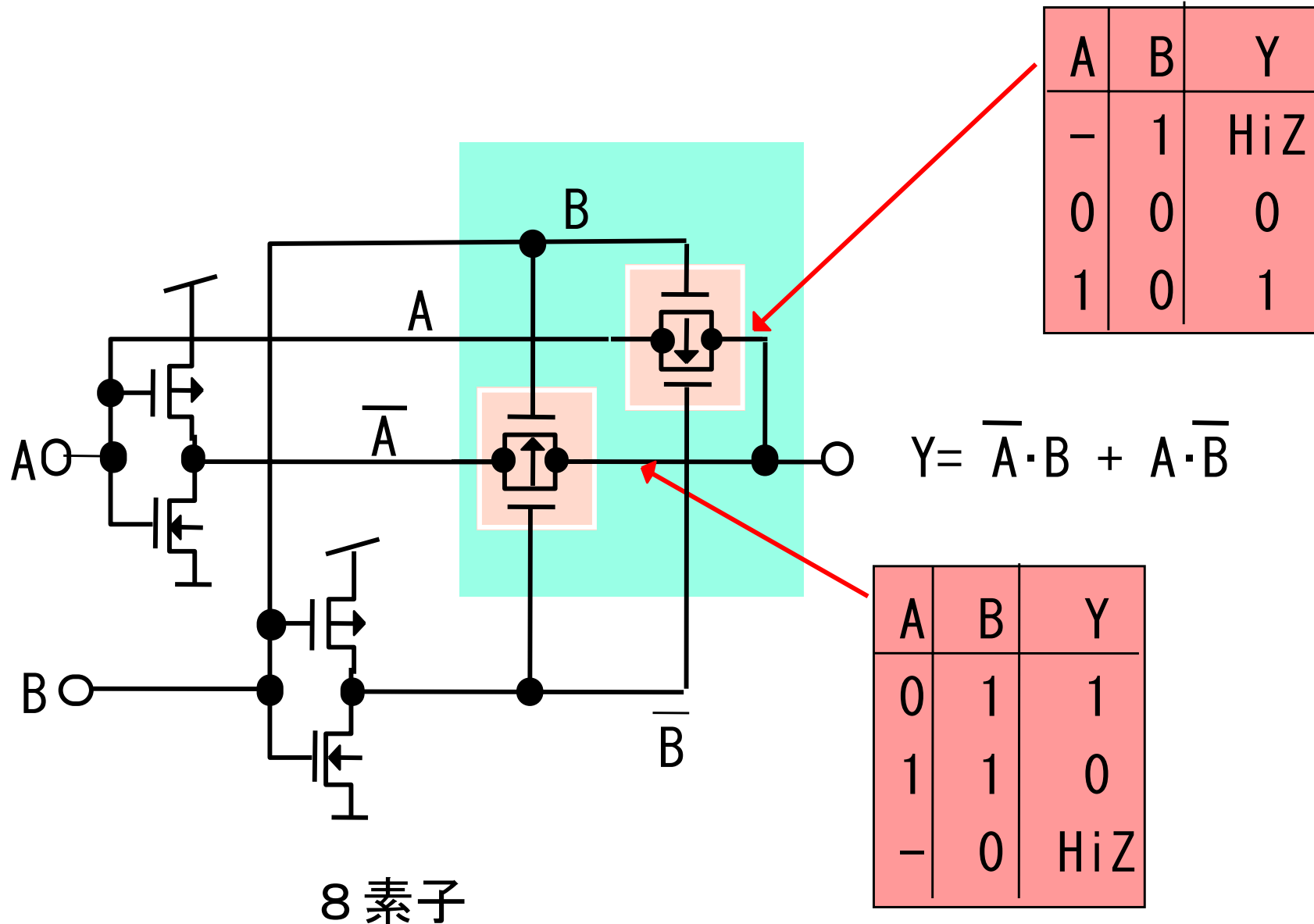
排他的論理和 EXOR

$$Y = A \oplus B = A \bar{B} + \bar{A} B$$

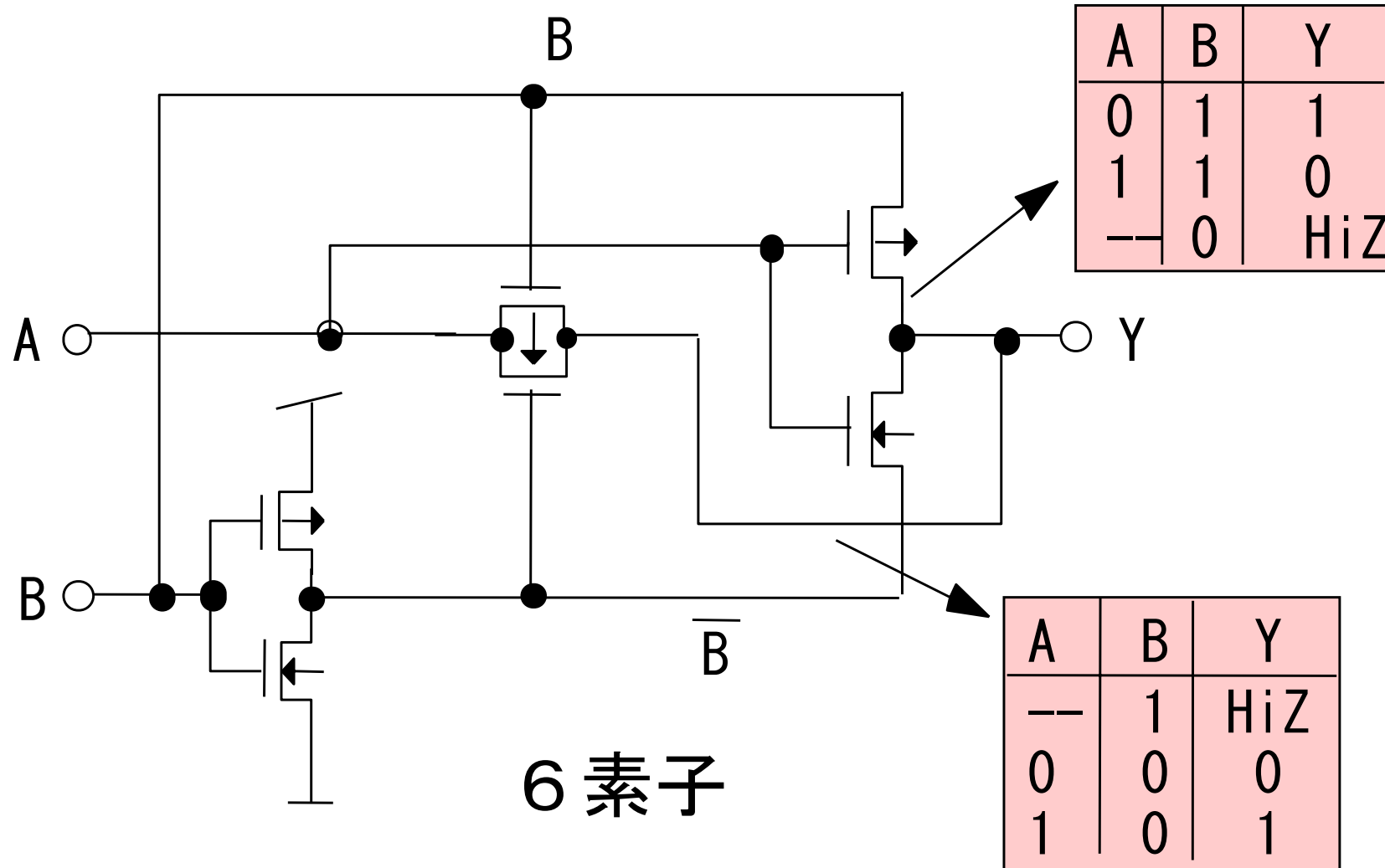
TGを用いたEXOR



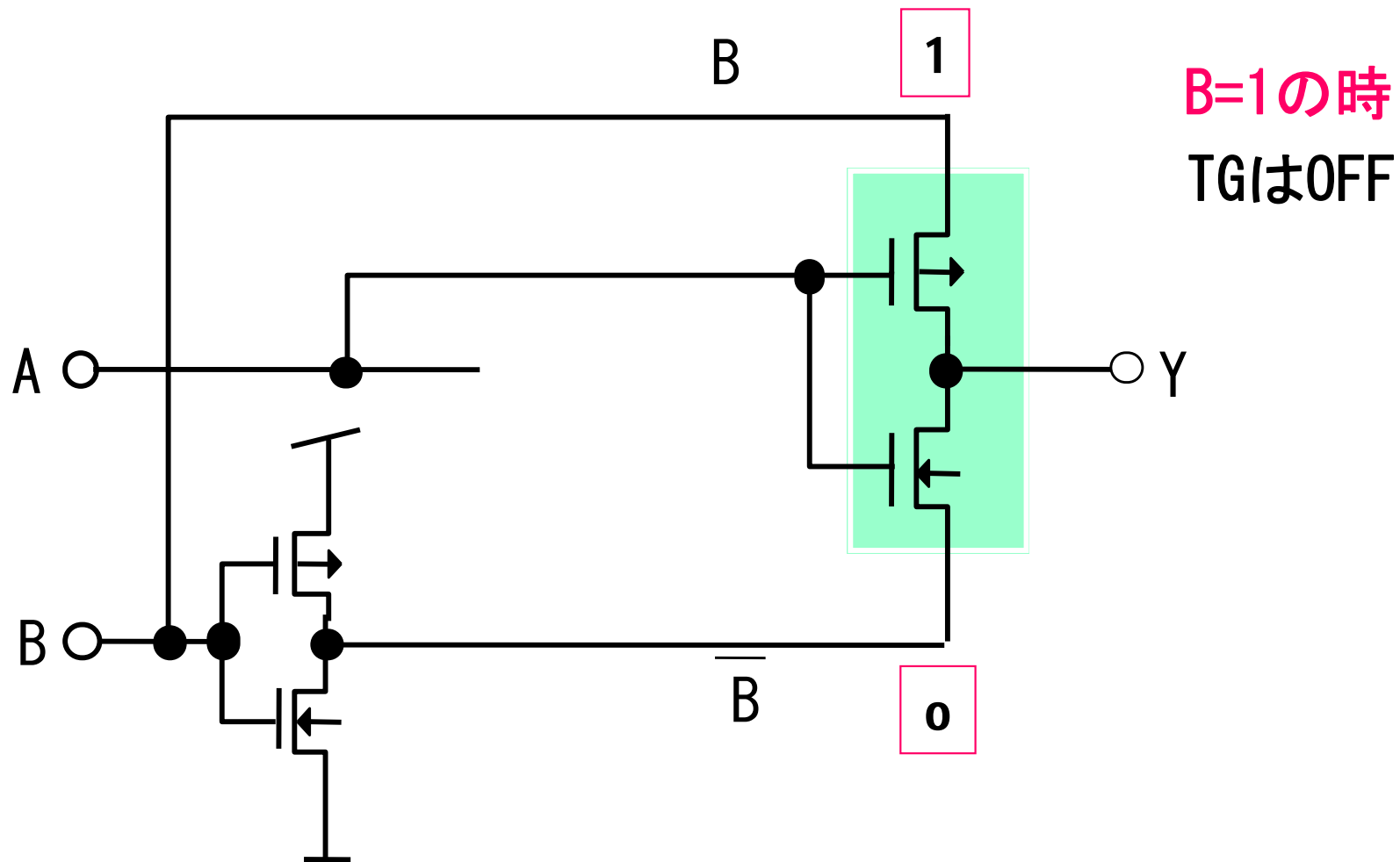
TGを用いたEXORゲート



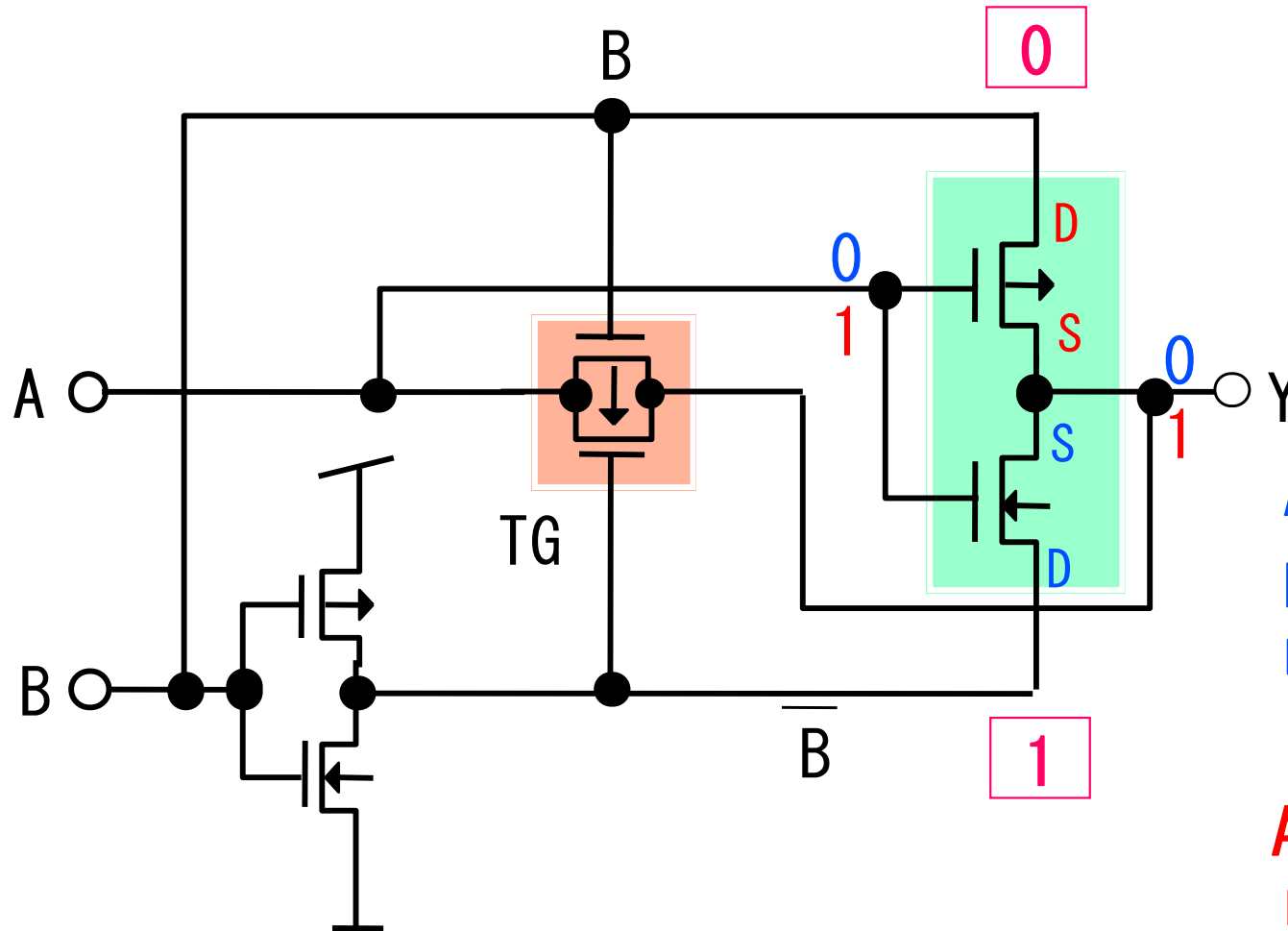
素子数を減らしたEXORゲート



素子数を減らしたEXORゲート



素子数を減らしたEXORゲート

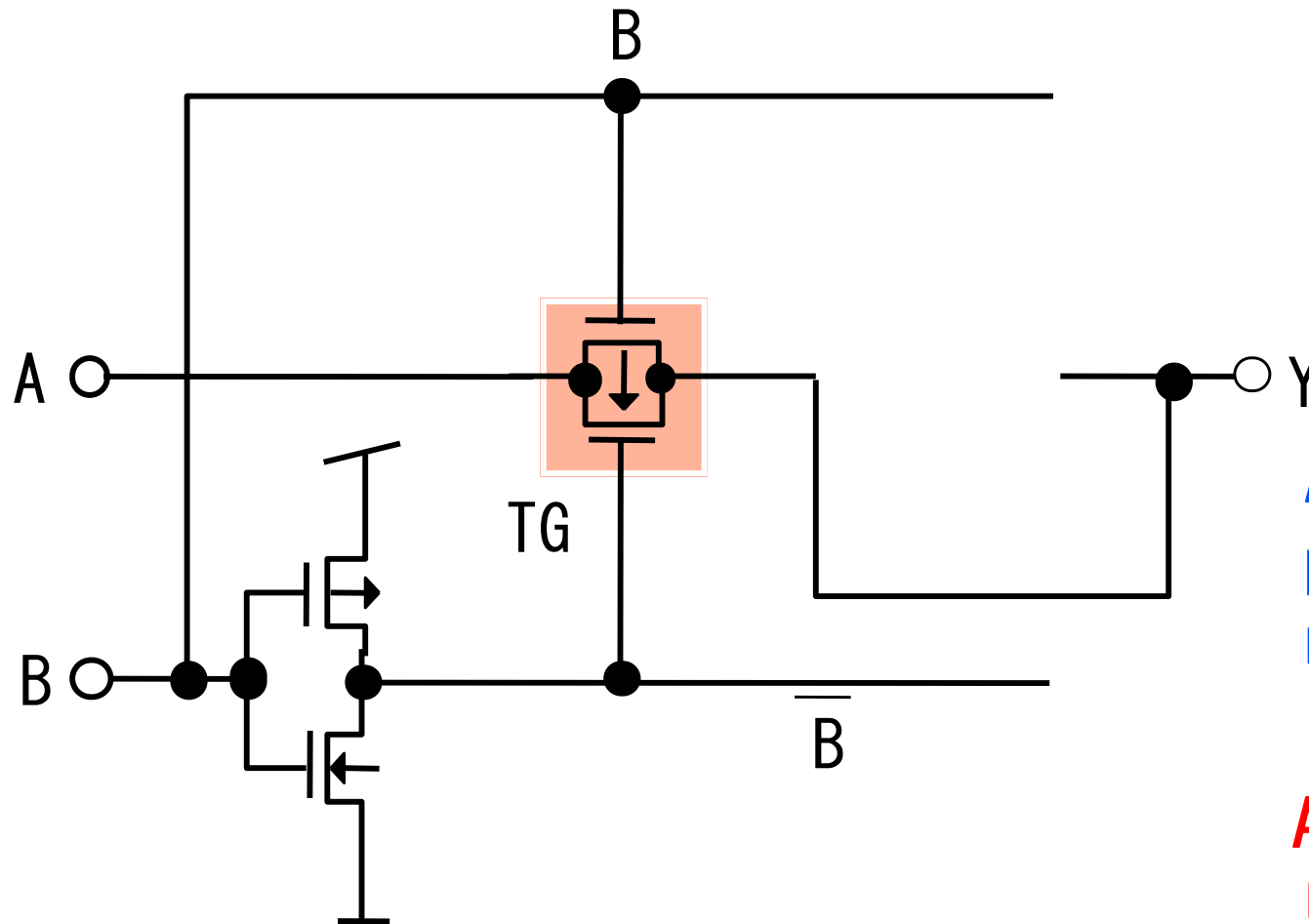


B=0の時
TGはオン

A=0の時：青字
pMOSのS, D=0
nMOSのV_{gsn}=0
pMOS, nMOSともにOFF

A=1の時：赤字
nMOSのS, D=V_{dd}
pMOSのV_{gsp}=0,
pMOS, nMOSともにOFF

素子数を減らしたEXORゲート

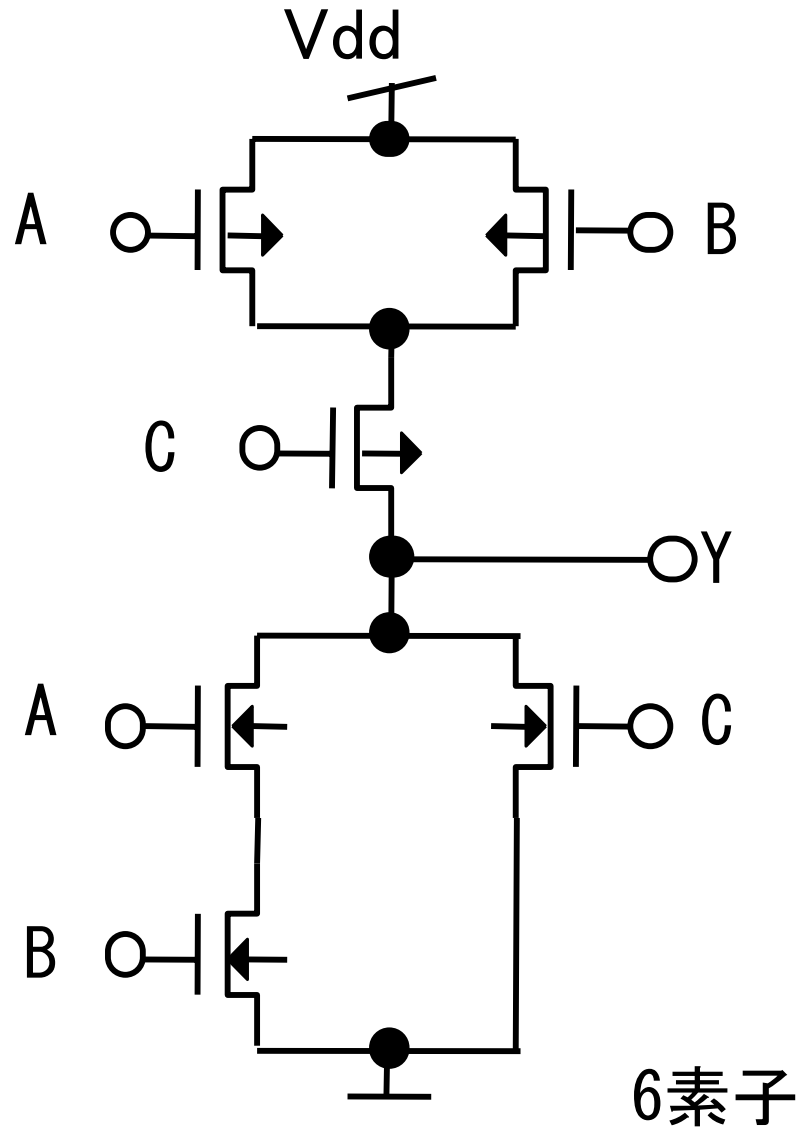


B=0の時
TGはオン

A=0の時：青字
pMOSのS, D=0
nMOSの $V_{gsn}=0$
pMOS, nMOSともにOFF

A=1の時：赤字
nMOSのS, D=V_{dd}
pMOSの $V_{gsp}=0$,
pMOS, nMOSともにOFF

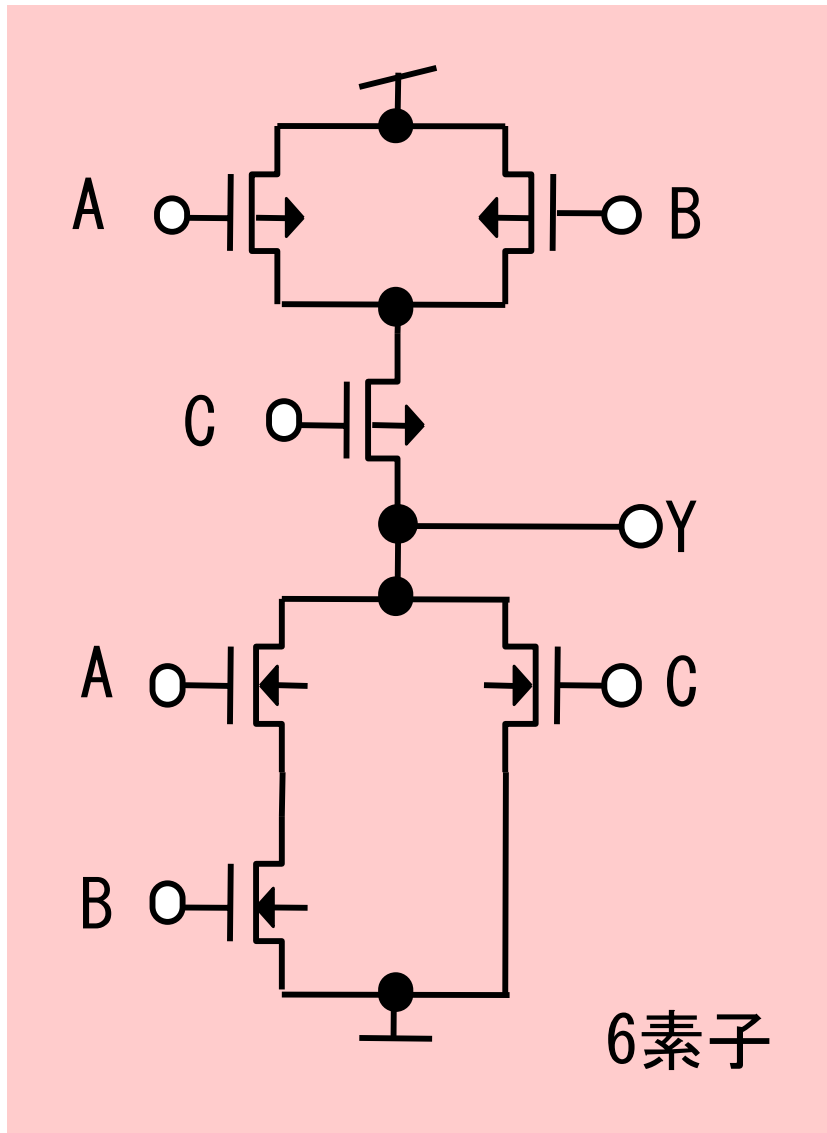
CMOS複合ゲート(1)



真理値表

A	B	C	Y
0	0	0	
0	0	1	
0	1	0	
0	1	1	
1	0	0	
1	0	1	
1	1	0	
1	1	1	

CMOS複合ゲート(1)

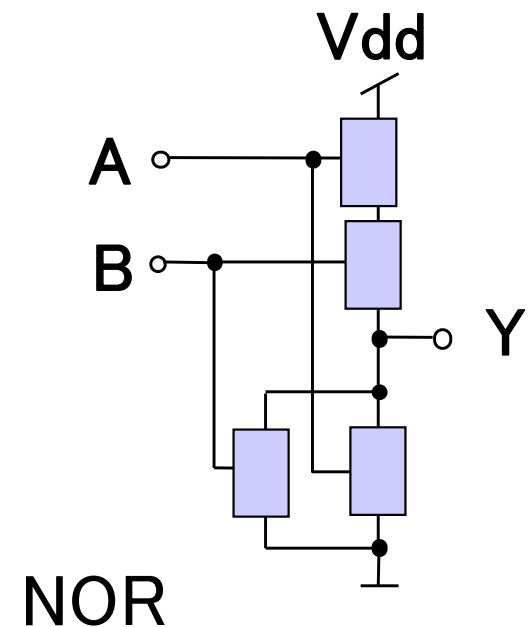


真理値表

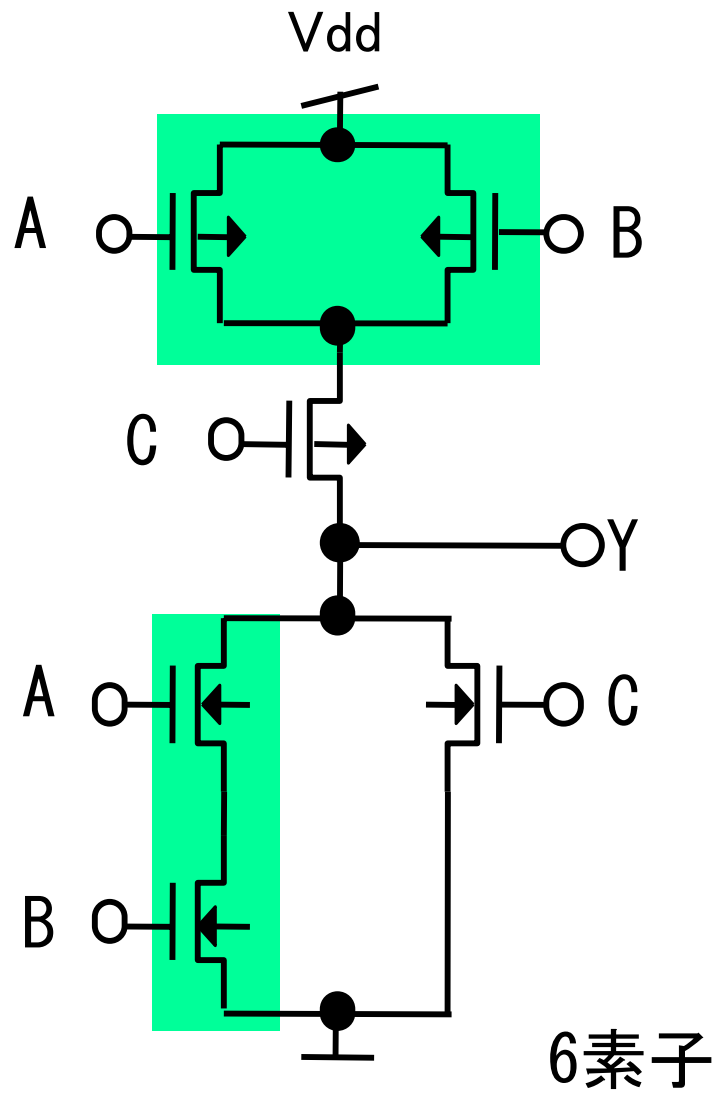
A	B	C	Y
0	0	0	1
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	0

$$Y = \overline{A \cdot B + C}$$

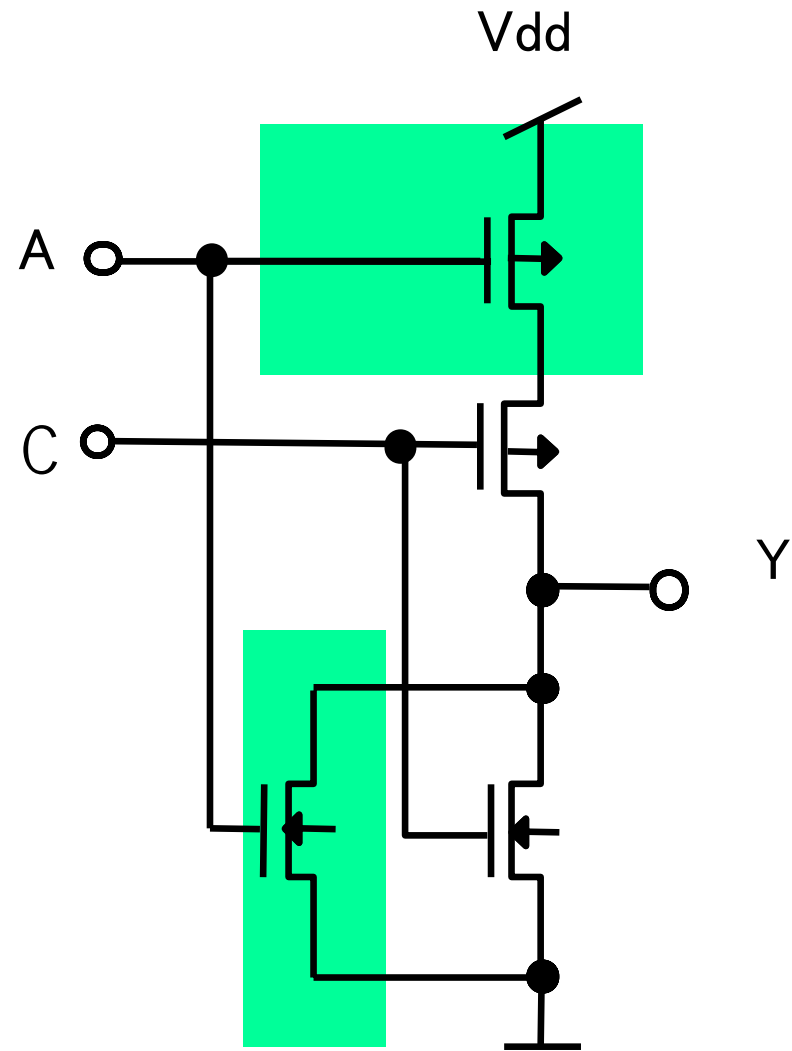
AND-NOR



CMOS複合ゲート(1)

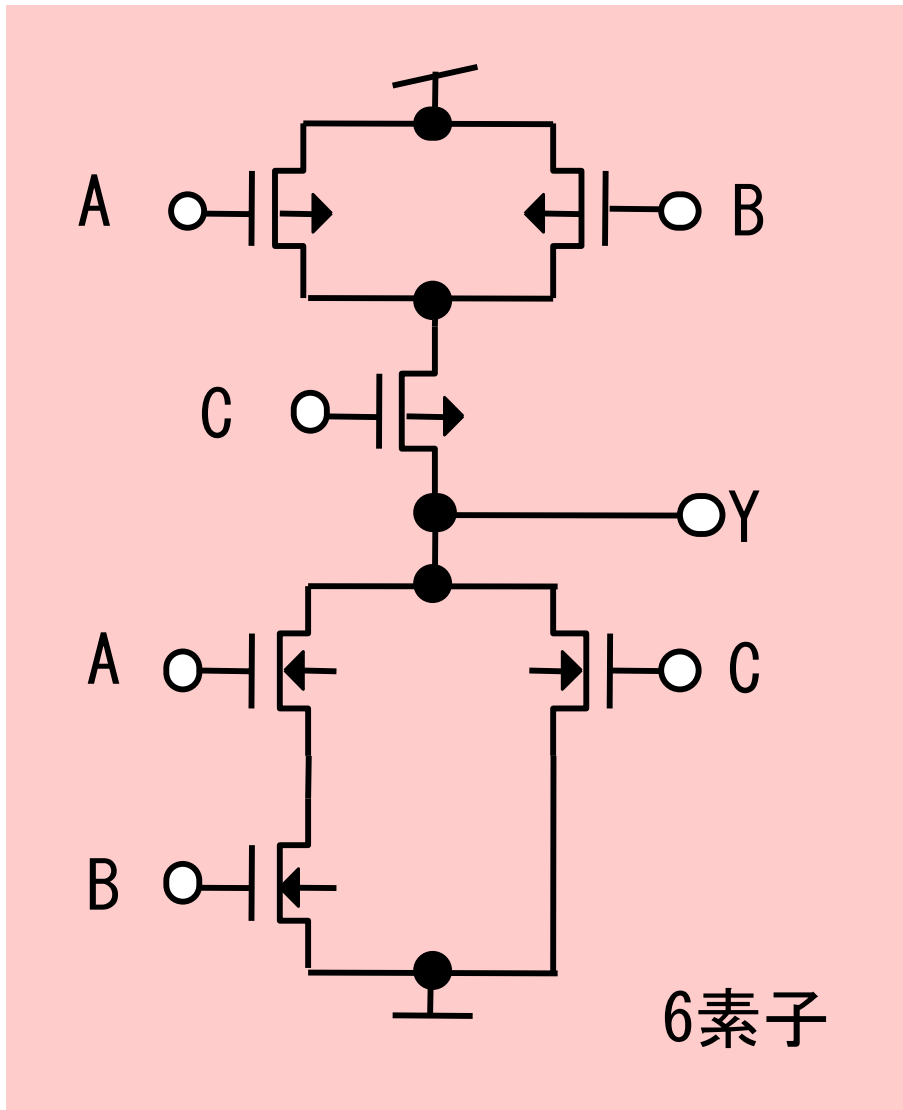


AND-NOR



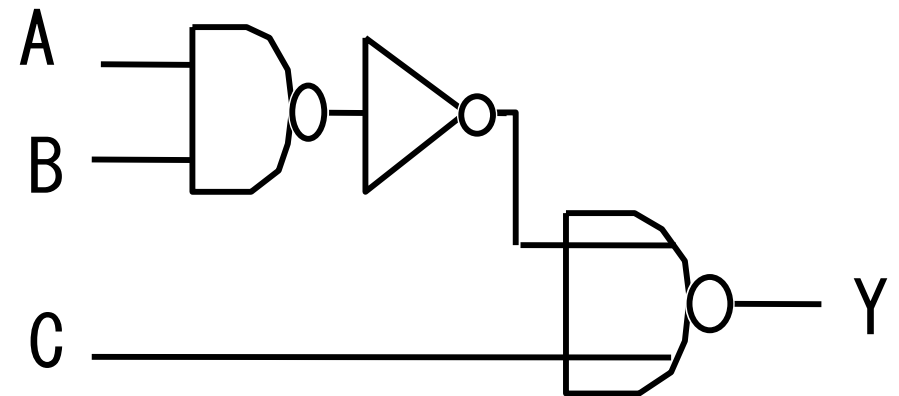
NOR

AND-NOR



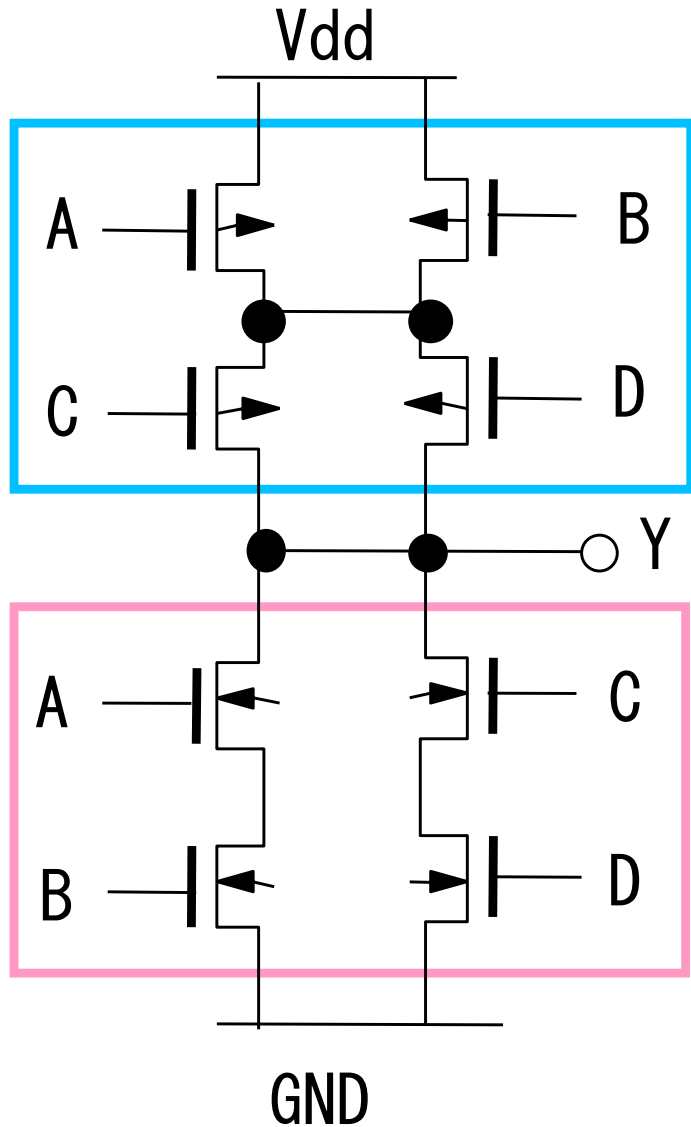
$$Y = \overline{A \cdot B + C}$$

同じ論理をNAND, NOR
で実現すると



10素子必要になる

AND-NOR型複合ゲート



$(\bar{A} + \bar{B})(\bar{C} + \bar{D}) = \overline{A \cdot B \cdot C \cdot D} = 1$ の時

pMOS側パスが導通 $Y=1$ となる

$A \cdot B + C \cdot D = 1$ の時

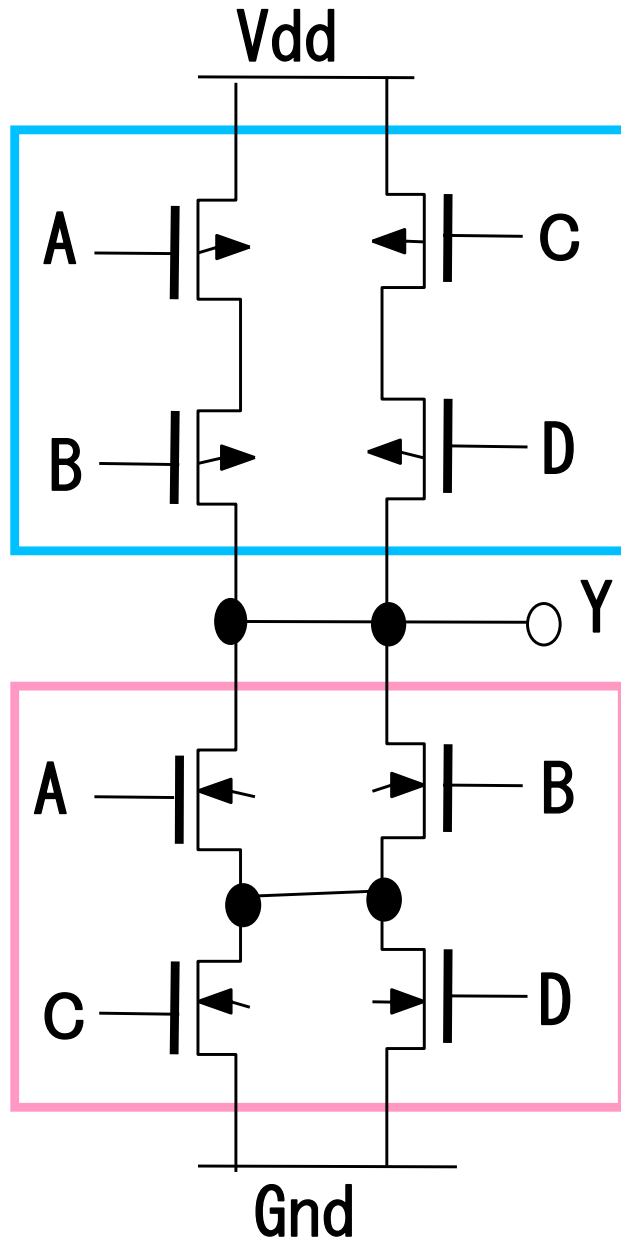
nMOS側パスが導通 $Y=0$ となる

$$Y = \overline{A \cdot B + C \cdot D} = (\overline{A \cdot B}) \cdot (\overline{C \cdot D})$$

AND-NOR

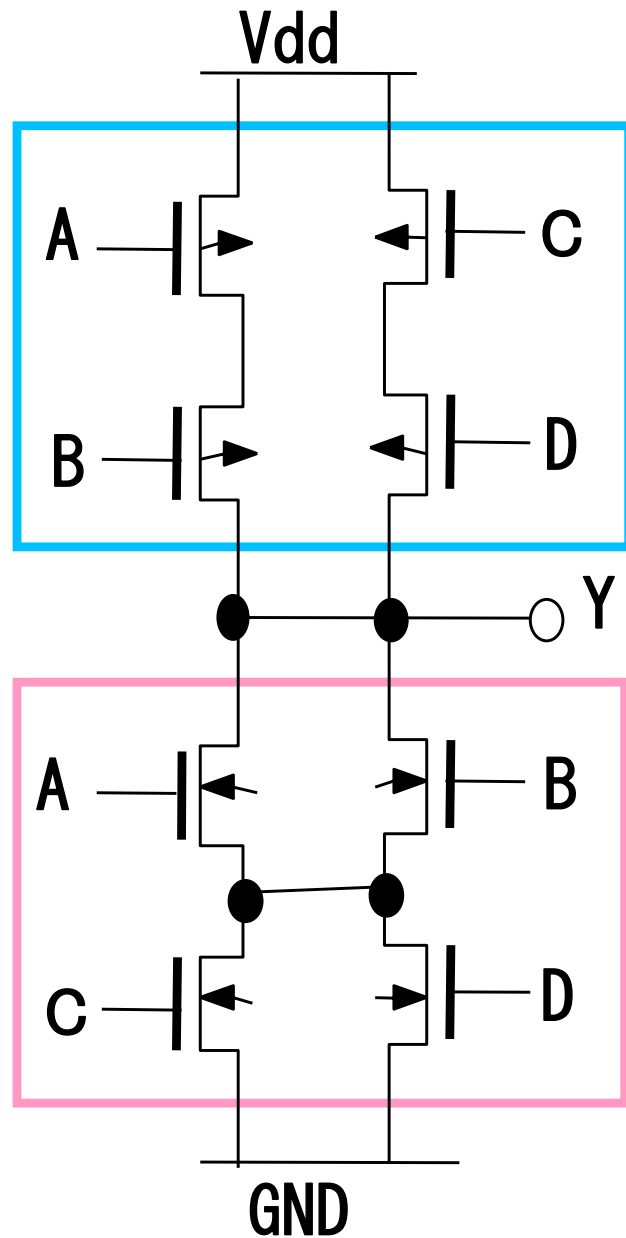
ドモルガンの定理
で変形すると
pMOSのパスの
導通と一致する

OR-NAND型複合ゲート



スイッチによる
等価回路を書いて、
真理値表を作って
論理関数を求めよ

OR-NAND型複合ゲート



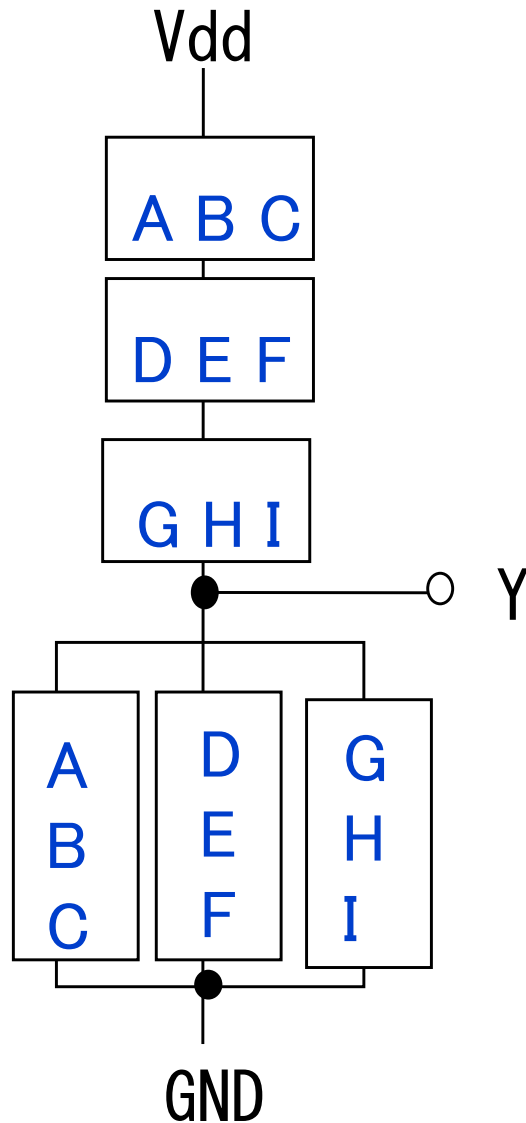
0000	1
0001	1
0010	1
0011	1
0100	1
0101	0
0110	0
0111	0
1000	1
1001	0
1010	0
1011	0
1100	1
1101	0
1110	0
1111	0

$$(A + B) \cdot (C + D)$$

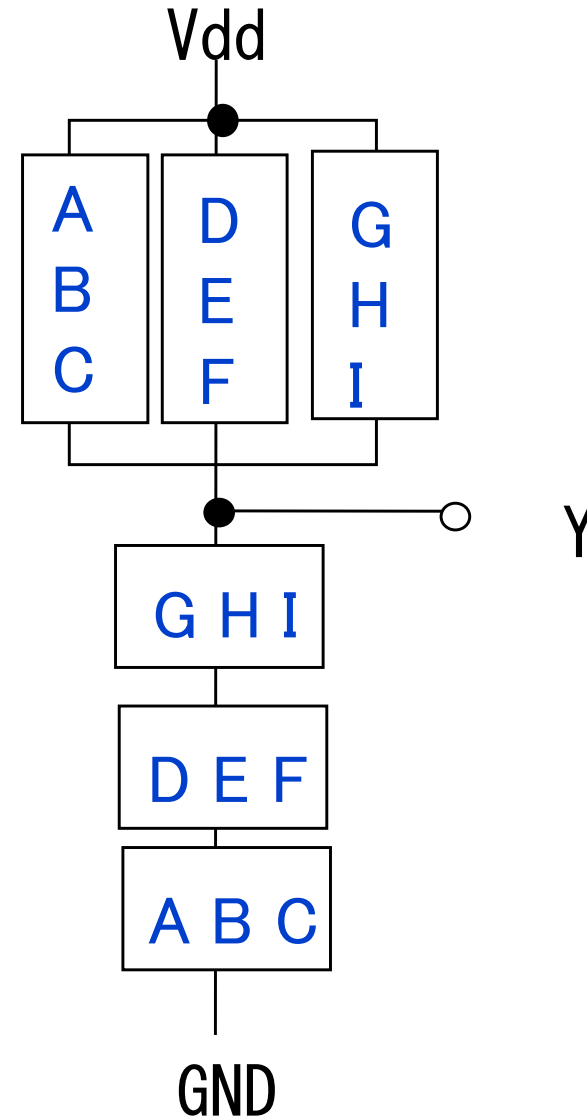
OR-NAND

複合ゲート一般形

AND-NOR型



OR-NAND型



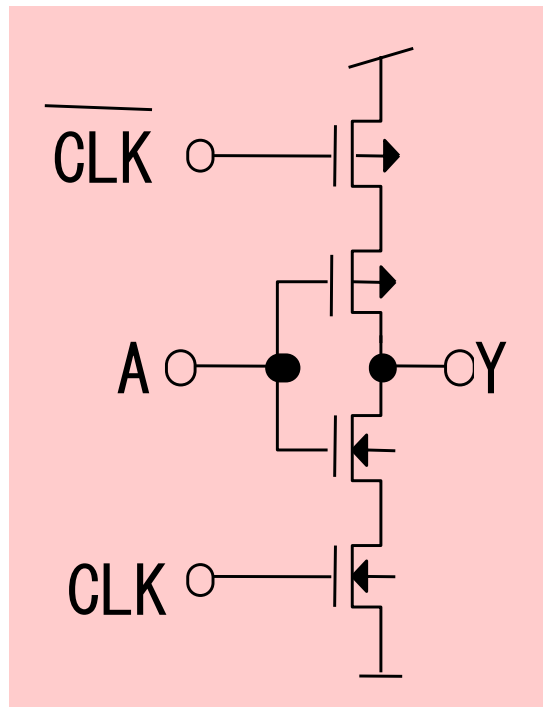
複合ゲートの長所・短所

通常のCMOSと比較して、

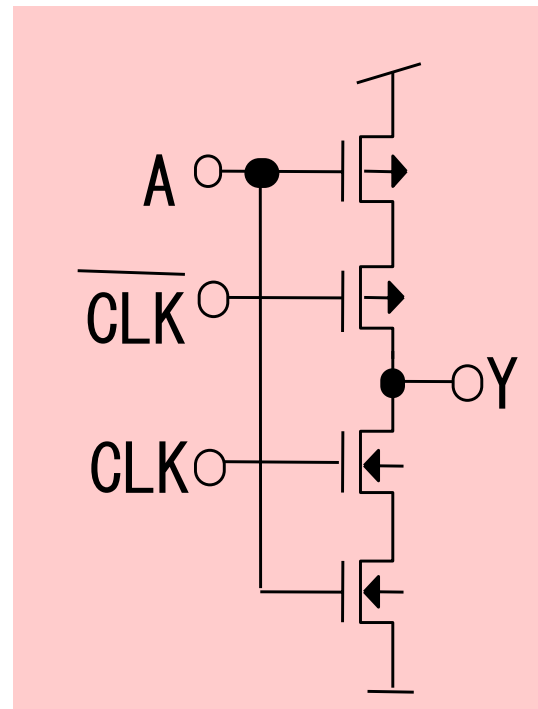
1. 素子数が削減するので
チップ面積を小さくでき、
消費電力を低下できる
2. 論理段数が減少するので高速動作できる
3. 入力数を増やすと直列のMOSの数が
増加するため遅くなる

クロックドCMOS論理回路

インバータ1

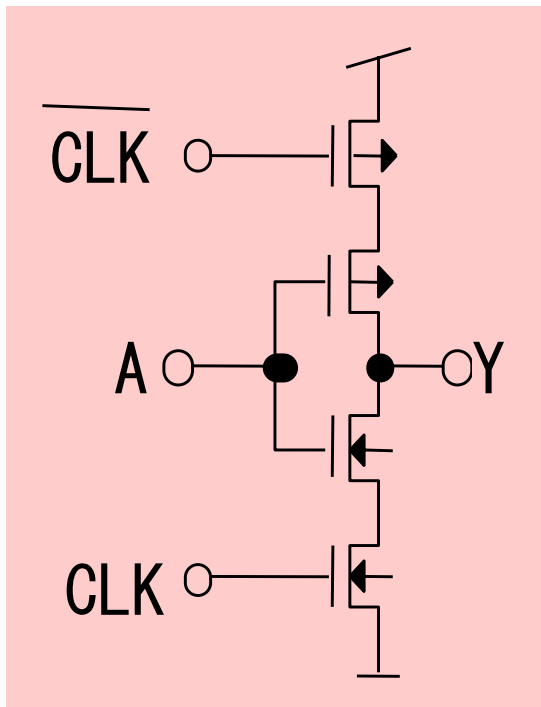


インバータ2

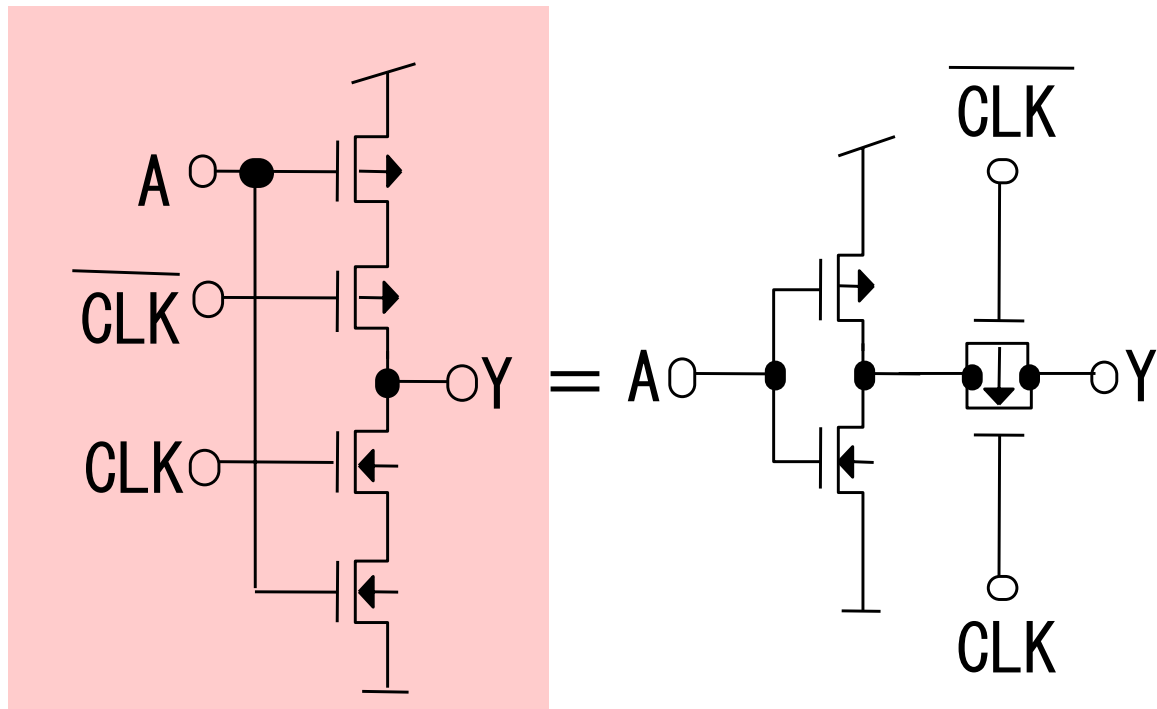


クロックドCMOS論理回路

インバータ1



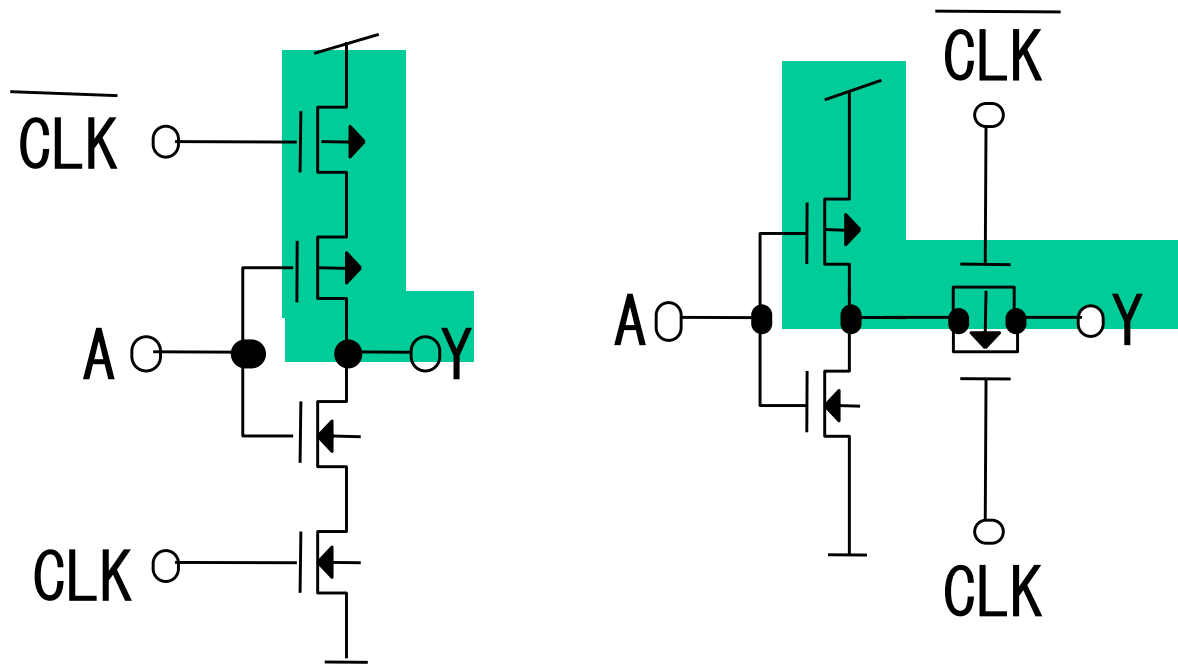
インバータ2



インバータ+トランスファゲートと等価である.

クロックドCMOS論理回路

インバータ+トランスファゲートと負荷駆動力も同じ.



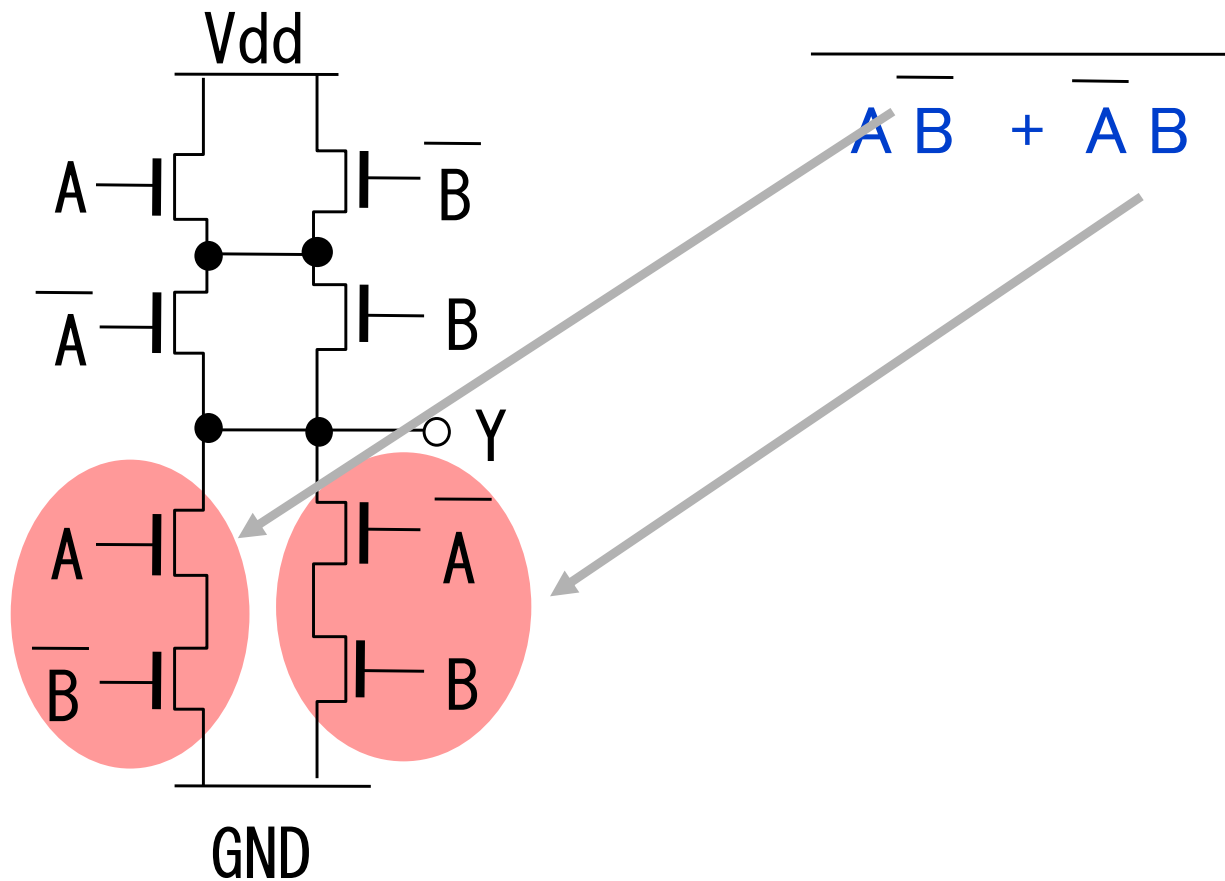
P-MOS, n-MOSの直列接続であるので、
レイアウトし易く、集積密度を高くできる

宿題問題 2008.11.10

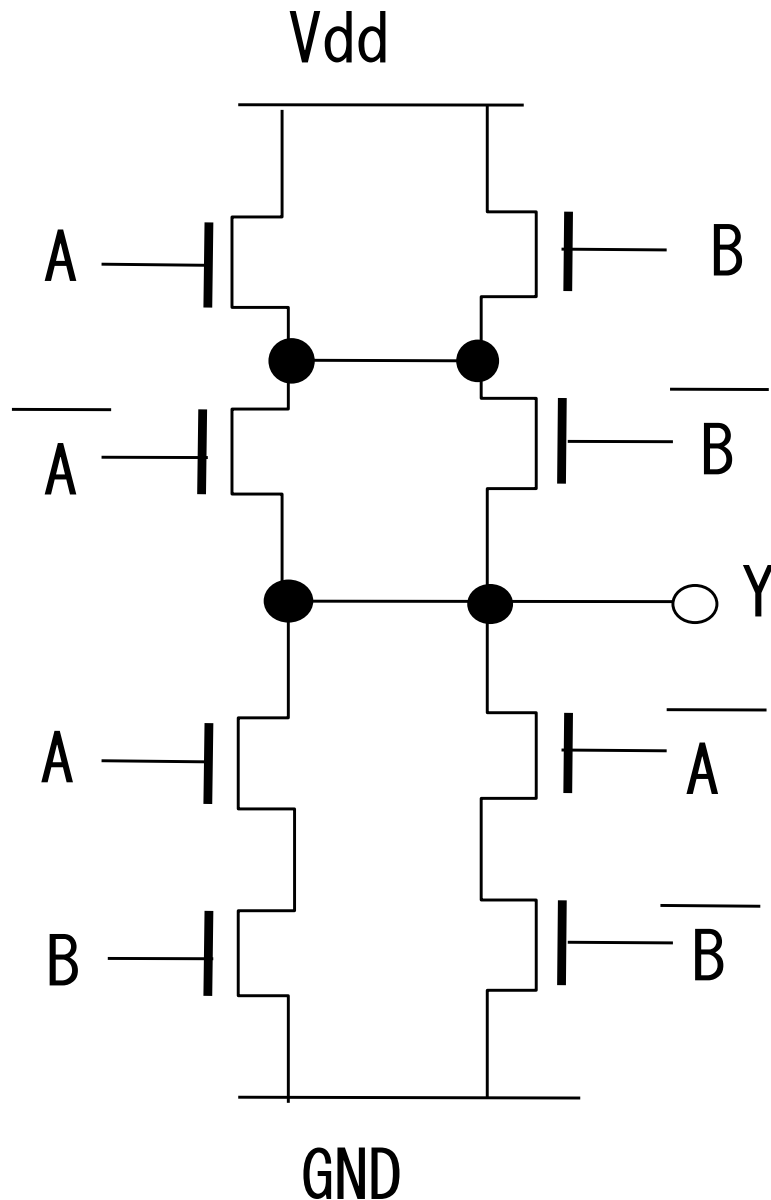
1. AND-NOR型複合ゲートによるEXORとEXNORの回路を書け
2. OR-NAND型複合ゲートによるEXORとEXNORの回路を書け

宿題解答

AND-NOR型によるEXNORゲート



AND-NOR型によるEXORゲート



$$Y = \overline{A} \overline{B} + \overline{A} B$$

二重否定 \Rightarrow $\overline{\overline{A} \overline{B} + \overline{A} B}$

ドモルガン \Rightarrow $\overline{\overline{A} \overline{B}} \cdot \overline{\overline{A} B}$

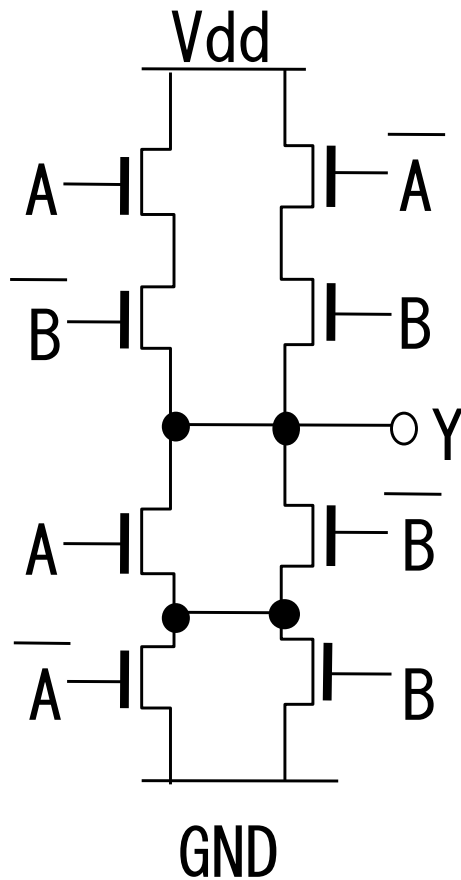
ドモルガン \Rightarrow $\overline{(A + B)} \cdot \overline{(A + B)}$

和積を積和に \Rightarrow $\overline{A B} + \overline{A B}$

OR-NAND型 EXOR

$$\overline{(A+B)} \cdot \overline{(A+B)}$$

$$Y = A \overline{B} + \overline{A} B$$



EXOR

二重否定 \Rightarrow

$$\overline{\overline{A B} + \overline{A B}}$$

ドモルガン \Rightarrow

$$\overline{\overline{A B} \cdot \overline{A B}}$$

ドモルガン \Rightarrow

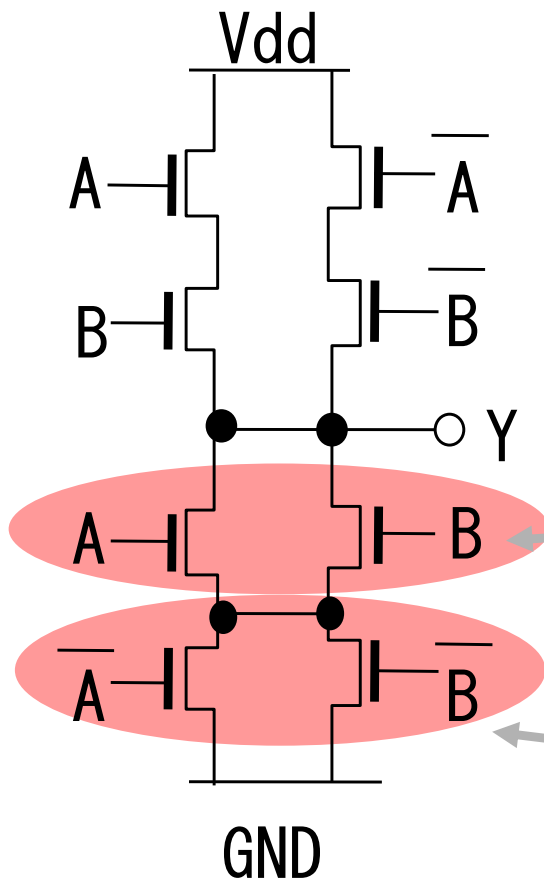
$$\overline{(A + B) \cdot (A + B)}$$

和積を積和に \Rightarrow

$$\overline{A B + \overline{A} \overline{B}}$$

OR-NAND型 EXNOR

$$Y = \overline{A B} + \overline{A B}$$



ドモルガン \Rightarrow $\overline{(\overline{A B}) \cdot (\overline{A B})}$

ドモルガン \Rightarrow $\overline{(\overline{A B}) + (\overline{A B})}$

分配法則 \Rightarrow $\overline{(A+B) \cdot (A+B)}$